

日 本 国 特 許 庁  
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application: 2002年 1月11日

出 願 番 号  
Application Number: 特願2002-004150  
[ ST.10/C ]: [ JP2002-004150 ]

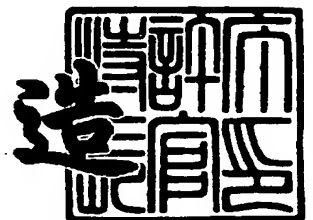
出 願 人  
Applicant(s): 富士通株式会社

RECEIVED  
MAR 27 2002  
Technology Center 2100

2002年 2月 8日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3004963

【書類名】 特許願

【整理番号】 0141306

【提出日】 平成14年 1月11日

【あて先】 特許庁長官殿

【国際特許分類】 G11B 9/00

【発明の名称】 メモリ装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 樋口 栄重

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 水谷 申二

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 金澤 啓介

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100090273

【弁理士】

【氏名又は名称】 國分 孝悦

【電話番号】 03-3590-8901

【先の出願に基づく優先権主張】

【出願番号】 特願2001- 55104

【出願日】 平成13年 2月28日

【手数料の表示】

【予納台帳番号】 035493

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908504

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリ装置

【特許請求の範囲】

【請求項 1】 データを記憶可能な不揮発性メモリと、  
ランダムアクセスが可能な揮発性メモリと、  
前記不揮発性メモリ及び前記揮発性メモリの間でデータ転送を行うことができ、  
該データ転送が行われていないときには外部バスからの指示に応じて外部から  
直接前記揮発性メモリへアクセスしているような擬似的アクセスを可能にするコン  
トローラと  
を有するメモリ装置。

【請求項 2】 前記コントローラは、前記不揮発性メモリ及び前記揮発性メモ  
リの間のデータ転送中に、サスペンド命令により該データ転送を一時停止し、  
その後に外部からの指示に応じて前記揮発性メモリへアクセスを行い、その後の  
リジューム命令により前記データ転送を再開する請求項 1 記載のメモリ装置。

【請求項 3】 前記コントローラは、外部からの指示に応じて、前記揮発性  
メモリ及び前記不揮発性メモリの間のデータ転送を前記外部バスへの影響なしに  
行う請求項 1 記載のメモリ装置。

【請求項 4】 前記コントローラは、データをバッファリングするためのバッ  
ファを有し、転送サイクルに転送データ数を乗じた時間に 1 転送サイクルを加  
算した時間で該バッファを介して前記データ転送を行う請求項 3 記載のメモリ装  
置。

【請求項 5】 前記コントローラは、前記不揮発性メモリから前記揮発性メモ  
リへデータ転送を行う際、前記不揮発性メモリから実データ及びエラー検出訂  
正データを読み出し、該エラー検出訂正データを基に該実データのエラー検出を  
行い、該実データを前記揮発性メモリに書き込み、前記揮発性メモリ上で該実デ  
ータのエラー訂正処理を行う請求項 4 記載のメモリ装置。

【請求項 6】 電氣的仕様が異なる複数のメモリと、  
前記複数のメモリに接続されるメモリバスと外部に接続される外部バスとを含  
み、前記外部バスの入出力電圧レベルが単一であり、かつ前記メモリバスと前記

外部バスとの入出力電圧レベルの範囲が異なるコントローラと  
を有するメモリ装置。

【請求項 7】 前記コントローラは、前記複数のメモリの動作可能な入出力電圧レベルの重複範囲で又は互いに重複せずに異なる入出力電圧レベルで前記複数のメモリに対してアクセスする請求項 6 記載のメモリ装置。

【請求項 8】 複数の実データを記憶するための実データエリアと複数のスペアデータを記憶するためのスペアデータエリアを含む不揮発性メモリと、

複数の実データを記憶するための実データエリアと複数のスペアデータを記憶するためのスペアデータエリアを含む揮発性メモリと、

前記不揮発性メモリ及び前記揮発性メモリの間のデータ転送を行うコントローラと

を有するメモリ装置。

【請求項 9】 前記コントローラは、前記揮発性メモリから前記不揮発性メモリへデータ転送を行う際、前記揮発性メモリ内の実データエリア及びスペアデータエリアから対応して読み出した実データ及びスペアデータを結合し、それぞれ前記不揮発性メモリ内の実データエリア及びスペアデータエリアに書き込む第 1 の書き込みコントローラを含む請求項 8 記載のメモリ装置。

【請求項 10】 前記コントローラは、一又は複数のスペアデータを記憶するためのスペアデータレジスタを含み、前記揮発性メモリの実データエリア内の実データ及び前記スペアデータレジスタ内のスペアデータを結合し、それぞれ前記不揮発性メモリ内の実データエリア及びスペアデータエリアに書き込む第 2 の書き込みコントローラを含む請求項 9 記載のメモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリ装置に関し、特に不揮発性メモリ及び揮発性メモリを有するメモリ装置に関する。

【0002】

【従来の技術】

図9は、従来技術によるメモリ装置の構成を示すブロック図である。マイクロコントローラ901は、バスを介して不揮発性メモリ（NVメモリ）905に接続され、他のバスを介してRAM906、誤り訂正回路903及び不揮発性メモリ902に接続される。不揮発性メモリ902はNOR型フラッシュメモリであり、不揮発性メモリ905はNAND型フラッシュメモリである。

#### 【0003】

NOR型フラッシュメモリ902は、ランダムアクセスが可能である。そのため、マイクロコントローラ901は、バスを介してNOR型フラッシュメモリ902に直接アクセスが可能である。しかし、NOR型フラッシュメモリ902は、小容量、大型及び大消費電力という欠点がある。

#### 【0004】

そこで、大容量、小型及び小消費電力の利点を有するNAND型フラッシュメモリ905もメモリ装置に設けられるようになった。しかし、NAND型フラッシュメモリ905は、シーケンシャルアクセスしかできないため、ランダムアクセスを可能にするためにRAM906を必要とする。すなわち、マイクロコントローラ901は、まず、NAND型フラッシュメモリ905からRAM906へシーケンシャルにデータ転送を行い、その後にRAM906上でランダムアクセスが可能になる。

#### 【0005】

また、NAND型フラッシュメモリ905は、上記の利点を有するが、データの信頼性が低いため、エラー検出訂正回路903を必要とする。次に、エラー検出及び訂正方法を説明する。

#### 【0006】

図10は、図9のメモリ装置におけるエラー検出及び訂正方法を示す。マイクロコントローラ901は、バッファ1001を有する。

#### 【0007】

マイクロコントローラ901がRAM906からNAND型フラッシュメモリ905へデータ転送する方法を説明する。まず、マイクロコントローラ901は、RAM906からバッファ1001へ実データ（512バイト）1014を読

み出し、その実データ1012をエラー検出訂正回路（EGC）903に供給する。エラー検出訂正回路903は、その実データ（512バイト）1012を基にエラー検出訂正データ（3バイト）1013を生成する。マイクロコントローラ901は、そのエラー検出訂正データ1013をバッファ1001へ読み出し、その実データ及びエラー検出訂正データ（512+3バイト）1011をNAND型フラッシュメモリ905に書き込む。

#### 【0008】

なお、NAND型フラッシュメモリ905は、複数ページの記憶領域を有する。各ページは、実データエリア及びスペアデータエリアを有する。上記の実データは実データエリアに記憶され、上記のエラー検出訂正データはスペアデータエリアに記憶される。

#### 【0009】

次に、マイクロコントローラ901がNAND型フラッシュメモリ905からRAM906にデータ転送する方法を説明する。マイクロコントローラ901は、NAND型フラッシュメモリ905から実データ及びエラー検出訂正データ（512+3バイト）1011をバッファ1001へ読み出す。次に、マイクロコントローラ901は、バッファ1001内の実データ（512バイト）1012をエラー検出訂正回路903に供給する。エラー検出訂正回路903は、その実データ1012を基にエラー検出訂正データ（3バイト）1013を生成する。マイクロコントローラ901は、そのエラー検出訂正データ1013を読み出し、そのエラー検出訂正データ1013と先にNAND型フラッシュメモリ905から読み出したエラー検出訂正データが同じが否かをチェックする。同じであればバッファ1001内の実データにエラーがないことを意味し、同じでなければバッファ1001内の実データにエラーがあることを意味する。

#### 【0010】

エラーがない場合、マイクロコントローラ901は、バッファ1001内の実データ1014をそのままRAM906に書き込む。エラーがある場合、マイクロコントローラ901は、上記のチェック結果に応じて、エラービットを特定し、バッファ1001内の実データを訂正し、訂正した実データ1014をRAM

906に書き込む。

【0011】

図11は、上記のエラー検出及び訂正方法の概念を表すNAND型フラッシュメモリ1101及びRAM1111の図である。NAND型フラッシュメモリ1101は、複数のページ1102、1103、1104等を有する。各ページ1102～1104は、実データエリア及びスペアデータエリアを有する。実データエリアは実データを記憶するためのエリアであり、スペアデータエリアはスペアデータ（エラー検出訂正データを含む）を記憶するためのエリアである。1ページは、実データが例えば512バイト、エラー検出訂正データが例えば3バイトである。

【0012】

まず、RAM1111からNAND型フラッシュメモリ1101へデータ転送する場合を説明する。RAM1111には実データ1112が記憶されている。マイクロコントローラ1121は、RAM1111内の実データ（例えば512バイト）1112及びマイクロコントローラ1121の内部バッファ内のスペアデータ（例えば3バイト）1122を1対1に対応させて、実データ1152及びスペアデータ1151をNAND型フラッシュメモリ1101に書き込む。

【0013】

次に、NAND型フラッシュメモリ1101からRAM1111へデータ転送する場合を説明する。NAND型フラッシュメモリ1101には実データ及びスペアデータが記憶されている。マイクロコントローラ1121は、NAND型フラッシュメモリ1101から実データ1141及びスペアデータ1142を読み出す。しかし、実データ1141のみがRAM1111に実データ1112として書き込まれ、スペアデータ1142は削除データ1131としてRAM1111には記憶されずに削除される。

【0014】

NAND型フラッシュメモリ1101に記憶されるスペアデータには、上記のエラー検出訂正データの他に、管理情報や制御情報がある。したがって、実データを修正する場合には、それに応じてスペアデータも修正する必要がある。



## 【0015】

マイクロコントローラ1121がRAM1111上の実データを修正し、NAND型フラッシュメモリ1101に書き込むときには、一度、NAND型フラッシュメモリ1101からスペアデータを読み出し、そのスペアデータを修正する。そして、マイクロコントローラ1121は、その修正されたスペアデータ及び修正されたRAM1111上の実データをNAND型フラッシュメモリ1101に書き込む。このように、スペアデータを修正するにはNAND型フラッシュメモリ1101から一度スペアデータを読み出さなければならないため、処理ステップが多くなり、処理速度が遅いという問題がある。

## 【0016】

## 【発明が解決しようとする課題】

上記のように、NAND型フラッシュメモリ905を有するメモリ装置では、NAND型フラッシュメモリ905とRAM906との間のデータ転送が必ず行われる。このデータ転送の間、図9に示すように、マイクロコントローラ901とRAM906とを結ぶバスが占有されてしまうため、マイクロコントローラ901は、NOR型フラッシュメモリ902にアクセスすることができなくなってしまう問題がある。

## 【0017】

また、図10に示すように、NAND型フラッシュメモリ905とRAM906との間のデータ転送を行う際には、上記のように最低4回のデータ転送1011～1014が必要になり、データ転送に長時間を要していた。

## 【0018】

また、マイクロコントローラ901内のバッファ1001は、NAND型フラッシュメモリ905に対して実データ（512バイト）及びエラー検出訂正データ（3バイト）を読み書きするために最低512+3バイトの記憶容量を必要としていた。

## 【0019】

また、NAND型フラッシュメモリ905とRAM906とは電氣的仕様が異なるため、マイクロコントローラ901は、NAND型フラッシュメモリ905

及び R A M 9 0 6 の電氣的仕様に合わせた電源電圧で制御する必要があるため、独自の低電源電圧を採用することができず、低消費電力を実現することができない問題がある。

## 【 0 0 2 0 】

また、図 1 1 に示すように、N A N D 型フラッシュメモリ 1 1 0 1 内のスペアデータを修正するには N A N D 型フラッシュメモリ 1 1 0 1 から一度スペアデータを読み出さなければならないため、処理ステップが多くなり、処理速度が遅いという問題がある。

## 【 0 0 2 1 】

本発明の目的は、N A N D 型フラッシュメモリ（不揮発性メモリ）と R A M （揮発性メモリ）との間でデータ転送を行っている間にも、N O R 型フラッシュメモリ（不揮発性メモリ）に対するアクセスを可能にするメモリ装置を提供することである。

## 【 0 0 2 2 】

本発明の他の目的は、N A N D 型フラッシュメモリと R A M との間で高速にデータ転送を行うことができるメモリ装置を提供することである。

## 【 0 0 2 3 】

本発明のさらに他の目的は、N A N D 型フラッシュメモリと R A M との間でのデータ転送を制御するコントローラ内のバッファ容量を小さくすることができるメモリ装置を提供することである。

## 【 0 0 2 4 】

本発明のさらに他の目的は、N A N D 型フラッシュメモリと R A M の電氣的仕様にかかわらずコントローラの電氣的仕様を決めることができるメモリ装置を提供することである。

## 【 0 0 2 5 】

本発明のさらに他の目的は、N A N D 型フラッシュメモリ内のスペアデータを高速に修正して書き込むことができるメモリ装置を提供することである。

## 【 0 0 2 6 】

【課題を解決するための手段】

本発明のメモリ装置は、データを記憶可能な不揮発性メモリと、ランダムアクセスが可能な揮発性メモリと、不揮発性メモリ及び揮発性メモリの間でデータ転送を行うことができ、該データ転送が行われていないときには外部バスからの指示に応じて外部から直接揮発性メモリへアクセスしているような擬似的アクセスを可能にするコントローラとを有する。

## 【 0 0 2 7 】

コントローラは、外部コントローラからの指示に応じて不揮発性メモリと揮発性メモリとの間のデータ転送を行うことができる。このデータ転送の間、外部バスが占有されることない。したがって、外部コントローラは、上記のデータ転送の間にも、外部バスを介して、他のメモリ（例えばNOR型フラッシュメモリ）にアクセスすることができる。また、外部コントローラは、コントローラを介して、直接揮発性メモリへアクセスしているような擬似的アクセスが可能になる。

## 【 0 0 2 8 】

## 【発明の実施の形態】

図 1 は、本発明の実施形態によるメモリ装置の構成を示すブロック図である。マイクロコントローラ 1 0 1 は、外部バス 1 2 1 及び 1 2 2 を介して内部コントローラ 1 0 4 に接続される。外部バス 1 2 1 はコントロール制御信号線であり、外部バス 1 2 2 は RAM インタフェース線 1 2 2 である。

## 【 0 0 2 9 】

内部コントローラ 1 0 4 は、メモリバス 1 2 4 を介して不揮発性メモリ（NVメモリ） 1 0 5 に接続され、メモリバス 1 2 5 を介して RAM 1 0 6 に接続される。不揮発性メモリ 1 0 5 は、例えば NAND 型フラッシュメモリである。RAM 1 0 6 は、例えば SRAM (static random access memory) である。メモリバス 1 2 4 は、NAND 型フラッシュメモリインタフェースバスである。メモリバス 1 2 5 は、RAM インタフェースバスである。上記の内部コントローラ 1 0 4 、 NAND 型フラッシュメモリ 1 0 5 及び RAM 1 0 6 は、同一のパッケージ 1 0 3 内に内蔵される。

## 【 0 0 3 0 】

内部コントローラ 1 0 4 は、制御レジスタ 1 1 1 、 NAND 型フラッシュメモ

リ用シーケンサ112、エラー検出訂正回路113、RAM用シーケンサ114、及びデータラッチ115を有する。制御レジスタ111は、後に図2を参照しながら説明する。NAND型フラッシュメモリ用シーケンサ112は、メモリバス124を介してNAND型フラッシュメモリ105を制御することができる。RAM用シーケンサ114は、メモリバス125を介してRAM106を制御することができる。エラー検出訂正回路113は、エラー検出及び訂正処理を行う。データラッチ115は、入出力線LT1及びLT2を介して、NAND型フラッシュメモリ105とRAM106との間のデータ転送の際にページサイズ以下で任意のデータ長（例えば、1ワード）のデータをバッファリングすることができる。

#### 【0031】

また、マイクロコントローラ101は、外部バス123を介して、不揮発性メモリ（NVメモリ）102に接続される。外部バス122及び123は、共通のバスを介してマイクロコントローラ101に接続される。不揮発性メモリ102は、例えばNOR型フラッシュメモリである。

#### 【0032】

NOR型フラッシュメモリ102は、ランダムアクセスが可能である。そのため、マイクロコントローラ101は、バス123を介してNOR型フラッシュメモリ102に直接アクセスが可能である。しかし、NOR型フラッシュメモリ102は、小容量、大型及び大消費電力という欠点がある。

#### 【0033】

そこで、大容量、小型及び小消費電力の利点を有するNAND型フラッシュメモリ105をメモリ装置に設ける。しかし、NAND型フラッシュメモリ105は、シーケンシャルアクセスしかできないため、ランダムアクセスを可能にするためにRAM106を必要とする。また、NAND型フラッシュメモリ105は、上記の利点を有するが、データの信頼性が低いため、エラー検出訂正回路113を必要とする。

#### 【0034】

図7に示すように、NAND型フラッシュメモリ701は、複数ページ702

、703、704等を有する。各ページ702～704は、実データエリア及びスペアデータエリアを有する。実データエリアは実データを記憶するためのエリアであり、スペアデータエリアはスペアデータを記憶するためのエリアである。

1ページは、実データエリアが例えば512ワード、スペアデータエリアが例えば16ワードである。スペアデータエリアは、先の8ワードが制御情報及び管理情報を記憶するためのエリアであり、後の8ワードがエラー検出訂正データを記憶するためのエリアである。なお、エラー検出訂正データは、例えば3ワードである。

#### 【0035】

図2は、上記の制御レジスタ111の構成を示す。制御レジスタ111は、コマンドレジスタ201、ソースアドレスレジスタ202、ディスティネーションアドレスレジスタ203、データサイズレジスタ204、エラー検出訂正アドレスレジスタ205、スペアデータレジスタ206、スペアセットレジスタ207、及びステータスレジスタ208等を有する。

#### 【0036】

コマンドレジスタ201は、マイクロコントローラ101から外部バス122を介して指示されたコマンドを格納する。コマンドは、例えば、セーブ命令、ロード命令、サスペンド命令、リジューム命令等がある。セーブ命令は、RAM106からNAND型フラッシュメモリ105にデータを転送するための命令である。ロード命令は、NAND型フラッシュメモリ105からRAM106にデータを転送するための命令である。サスペンド命令は、上記のセーブ命令又はロード命令により、NAND型フラッシュメモリ105とRAM106との間で行われているデータ転送を一時停止させるための命令である。リジューム命令は、上記の一時停止していたデータ転送を再開させるための命令である。

#### 【0037】

ソースアドレスレジスタ202は、上記のデータ転送の際の転送元を示すソースアドレスを記憶するためのレジスタである。ディスティネーションアドレスレジスタ203は、上記のデータ転送の際の転送先を示すディスティネーションアドレスを記憶するためのレジスタである。データサイズレジスタ204は、上記

のデータ転送を行うデータサイズを記憶するためのレジスタである。

【0038】

エラー検出訂正アドレスレジスタ205は、エラー検出訂正回路113によりエラーが検出されたときに、そのエラーが検出されたデータのアドレスを記憶するためのレジスタである。

【0039】

スペアデータレジスタ206は、NAND型フラッシュメモリ105に書き込むスペアデータを記憶するためのレジスタである。スペアセットレジスタ207は、スペアデータレジスタ206に記憶されているスペアデータをNAND型フラッシュメモリ105に書き込むか否かを示すレジスタである。

【0040】

ステータスレジスタ208は、内部コントローラ104の状態等を示すレジスタである。

【0041】

図3は、図1の内部コントローラ104、NAND型フラッシュメモリ105及びRAM106の端子ピンの接続状態を示す。内部コントローラ104には、コントローラ制御信号線121及びRAMインタフェース線122が接続される。

【0042】

内部コントローラ104は、コントローラ制御信号線121に接続される以下の端子を有する。端子XRESETは、外部からリセットするためのリセット入力端子である。端子CLKINは、外部クロック入力端子である。端子RDXBYは、レディ/ビジー出力端子である。端子INTは、割り込み信号の出力端子であり、例えば上記のデータ転送が終了した旨の割り込み信号等を入力する。端子XCEは、チップイネーブル入力端子である。

【0043】

また、内部コントローラ104は、RAMインタフェース線122に接続される以下の一般的なRAMの端子を有する。端子Aは、アドレス入力端子であり、RAM106及び制御レジスタ111（図2）内のレジスタのアドレスを指定す

ることもできる。端子Dは、データの入出力端子である。端子XCE1は第1のチップイネーブル入力端子であり、端子CE2は第2のチップイネーブル入力端子である。チップイネーブル入力端子XCE1及びCE2の組み合わせにより、チップイネーブル及び動作モードを指示することができる。端子XUBは、16ビットのデータ端子Dのうちの上位8ビットをイネーブル状態にするための入力端子である。端子XLBは、16ビットのデータ端子Dのうちの下位8ビットをイネーブル状態にするための入力端子である。端子XOEは、アウトプット（読み出し）イネーブル入力端子である。端子XWEは、ライト（書き込み）イネーブル入力端子である。

## 【0044】

また、内部コントローラ104は、上記のバス122に接続される端子に対応して、メモリバス125に接続される一般的な以下のRAMの端子を有する。すなわち、バス125には、端子MA、MD、XMCE1、MCE2、XMUB、XMLB、XMOE、XMWEが設けられる。

## 【0045】

RAM106は、バス125を介して、相手方の内部コントローラ104の端子と同様に、端子Add、Data、XCE1、CE2、XUB、XLB、XOE、XWEを有する。

## 【0046】

上記のように、バス122及び125がRAMインタフェースで共通化されているので、マイクロコントローラ101（図1）は、外部バス122からの指示により外部から直接RAM106へアクセスしているような擬似的アクセスが可能になる。

## 【0047】

また、内部コントローラ104は、メモリバス124に接続される以下の端子を有する。端子FDは、データ入出力端子である。端子XFCEは、チップイネーブル出力端子である。端子XFREは、リード（読み出し）イネーブル出力端子である。端子XFEは、ライト（書き込み）イネーブル出力端子である。端子FALEは、アドレスラッチイネーブル出力端子である。端子FCLEは、コ

マンドラッチイネーブル出力端子である。これら端子FALE及びFCLEが選択されないときには、データが出力IOバス上に現れている。端子XFSEは、スペアエリアイネーブル出力端子であり、NAND型フラッシュメモリ105のスペアデータエリアをイネーブル状態にするための端子である。端子XFWPは、ライトプロテクト出力端子である。端子XFRSTは、外部リセット出力端子である。端子XRDXBYは、レディ/ビジー入力端子である。

## 【0048】

NAND型フラッシュメモリ105は、バス124を介して、相手方の内部コントローラ104の端子と同様に、端子IO、XCE、XRE、XWE、ALE、CLE、XSE、XWP、XEX\_\_RESET、RDXBYを有する。

## 【0049】

次に、図1を参照しながら、マイクロコントローラ101がRAM106からNAND型フラッシュメモリ105へデータ転送する方法を説明する。マイクロコントローラ101は、図2のコマンドレジスタ201にセーブ命令を格納し、ソースアドレスレジスタ202に転送元のRAM106のスタートアドレスを格納し、ディスティネーションアドレスレジスタ203に転送先のNAND型フラッシュメモリ105のスタートアドレスを格納し、データサイズレジスタ204に転送データサイズを格納する。

## 【0050】

すると、内部コントローラ104は、RAM106からデータラッチ115を介してNAND型フラッシュメモリ105へ実データ（512ワード）をエラー検出訂正回路113に通しながら転送する。そのデータ転送に伴い、上記のソースアドレスレジスタ202及びディスティネーションアドレスレジスタ203はインクリメントされ、データサイズレジスタ204はデクリメントされる。

## 【0051】

エラー検出訂正回路113は、その実データを基にエラー検出訂正データ（3ワード）を生成する。内部コントローラ104は、NAND型フラッシュメモリ105の実データエリアに実データの書き込みが終了すると、続いて、生成されたエラー検出訂正データを含むスペアデータをNAND型フラッシュメモリ10



5 のスペアエリアに書き込む。

【0052】

次に、マイクロコントローラ101がNAND型フラッシュメモリ105からRAM106にデータ転送する方法を説明する。マイクロコントローラ101は、図2のコマンドレジスタ201にロード命令を格納し、ソースアドレスレジスタ202に転送元のNAND型フラッシュメモリ105のスタートアドレスを格納し、ディスティネーションアドレスレジスタ203に転送先のRAM106のスタートアドレスを格納し、データサイズレジスタ204に転送データサイズを格納する。

【0053】

すると、内部コントローラ104は、NAND型フラッシュメモリ105からデータラッチ115を介してRAM106へ実データ（512ワード）をエラー検出訂正回路113に通しながら転送する。そのデータ転送に伴い、上記のソースアドレスレジスタ202及びディスティネーションアドレスレジスタ203はインクリメントされ、データサイズレジスタ204はデクリメントされる。

【0054】

エラー検出訂正回路113は、その実データを基にエラー検出訂正データ（3ワード）を生成する。内部コントローラ104は、NAND型フラッシュメモリ105の実データエリアから実データの読み出しが終了すると、続いて、NAND型フラッシュメモリ105のスペアデータエリアからスペアデータ（エラー検出訂正データを含む）を読み出す。そして、内部コントローラ104は、その読み出したエラー検出訂正データとエラー検出訂正回路113が生成したエラー検出訂正データとを比較する。両者が一致していれば転送した実データにエラーがないことを示し、一致していなければ転送した実データにエラーが存在することを意味する。

【0055】

エラーがなければRAM106上の実データを訂正する必要がない。エラーがあるときには、上記の比較結果を基に、エラーがあったデータのRAM106上のアドレスを特定し、エラー検出訂正アドレスレジスタ205に格納する。マイ

クロントローラ101は、そのエラーのあったアドレスのデータをRAM106から読み出し、エラー検出訂正アドレスレジスタ205内のアドレスを基に、そのアドレスのデータをビット反転して、再び書き込む。これにより、RAM106上の実データの訂正処理が終了する。

【0056】

同様にして、データサイズレジスタ204が0になるまで、次のページのデータ転送を続ける。データ転送の終了は、内部コントローラ104の端子INTからマイクロコントローラ101へ割り込み信号として通知される。

【0057】

内部コントローラ104は、外部バス122への影響なしに、上記のデータ転送を行うことができる。したがって、マイクロコントローラ101がデータ転送を内部コントローラ104に指示した後、データ転送が行われている間、外部バス122及び123がそのデータ転送により占有されることはない。上記のデータ転送中であっても、外部バス123は空いているので、マイクロコントローラ101は、マルチタスク環境(OS)の下で、外部バス123を介してNOR型フラッシュメモリ102に対してアクセスすることができる。

【0058】

また、マイクロコントローラ101は、上記のデータ転送中であっても、RAM106へのアクセスが可能である。具体的には、マイクロコントローラ101は、NAND型フラッシュメモリ105とRAM106との間のデータ転送中に、サスペンド命令を内部コントローラ104に指示することにより該データ転送を一時停止させることができる。その後、マイクロコントローラ101は、RAMインタフェース形式で、内部コントローラ104を介してRAM106にアクセスすることができる。その後、マイクロコントローラ101は、リジューム命令を内部コントローラ104に指示することにより上記のデータ転送を再開させることができる。この再開は、図2のソースアドレスレジスタ202、ディステイネーションアドレスレジスタ203、及びデータサイズレジスタ204に残されているデータをそのまま使って行うことができる。

【0059】

図4は、NAND型フラッシュメモリ105からRAM106へデータ転送するタイミングを示すタイミングチャートである。クロック信号CLKは、内部コントローラ104の動作クロックである。リードイネーブル信号XFREは、NAND型フラッシュメモリ105のリードイネーブル信号である。データFDは、NAND型フラッシュメモリ105のデータである。内部ラッチタイミング信号LTTは、1ワードのデータラッチ115（図1）のラッチ信号である。ラッチ出力LT2は、データラッチ115からRAM106への出力である。

## 【0060】

データMDは、RAM106のデータである。チップイネーブルXMCE1は、RAM106のチップイネーブル信号である。アドレスMAは、RAM106のアドレス信号であり、アドレスのインクリメントに従い、下位2ビットが「0」、「1」、「2」、「3」を繰り返すことになる。ライトイネーブルXMWEは、RAM106のライトイネーブル信号である。

## 【0061】

時刻t1では、リードイネーブルXFREが立下り、データFDがNAND型フラッシュメモリ105から読み出される。

## 【0062】

次に、時刻t2では、内部ラッチタイミング信号LTTがハイレベルかつクロックCLKが立ち上がり、データFDがデータラッチ115にラッチされ、ラッチ出力LT2が出力される。ラッチ出力LT2は、データMDとして出力される。

## 【0063】

次に、時刻t3では、ライトイネーブルXMWEが立ち上がり、データMDがRAM106へ書き込まれる。以上で第1の1ワードのデータ転送が終了する。

## 【0064】

次に、時刻t4では、リードイネーブルXFREが立下り、次のデータFDがNAND型フラッシュメモリ105から読み出される。

## 【0065】

次に、時刻t5では、内部ラッチタイミング信号LTTがハイレベルかつクロ

ックCLKが立ち上がり、データFDがデータラッチ115にラッチされ、ラッチ出力LT2がデータMDとして出力される。

【0066】

次に、時刻t6では、ライトイネーブルXMWEが立ち上がり、データMDがRAM106へ書き込まれる。以上で第2の1ワードのデータ転送が終了する。

【0067】

同様に、時刻t7～t9で第3の1ワードのデータ転送が行われ、時刻t10～t12で第4の1ワードのデータ転送が行われる。

【0068】

以上のように、NAND型フラッシュメモリ105とRAM106との間でデータ転送を行う際、NAND型フラッシュメモリ105又はRAM106から複数のデータを読み出し終わる前に、該複数のデータをRAM106又はNAND型フラッシュメモリ105へ書き込み始める。

【0069】

内部コントローラ104は、上記のデータ転送を行うために、1ワードのデータをバッファリングするためのデータラッチ（バッファ）115を有し、データラッチ115を介してデータ転送を行う。

【0070】

内部コントローラ104は、転送サイクルに転送データ数を乗じた時間に1転送サイクルを加算した時間でデータ転送を行うことができる。この時の転送サイクルは、クロックCLKの2周期に相当する。

【0071】

図5は、メモリ装置で使用する電源レベルを示す。NAND型フラッシュメモリ105とRAM106は、電氣的仕様が異なり、互いに動作可能な入出力電圧レベルの範囲が異なる。NAND型フラッシュメモリ105は、動作可能な入出力電圧レベルが2.7～3.6Vの範囲である。一方、RAM106は、動作可能な入出力電圧レベルが2.5～3.1Vの範囲である。

【0072】

図9の従来技術によるメモリ装置では、2つのメモリ905、906の動作可

能な入出力電圧レベルが異なる場合、マイクロコントローラ901が2つのメモリに対応する2電源を基に制御する必要があった。そのため、マイクロコントローラ901を1.8V等の低電源電圧を採用したいとの要求を満たすことができなかった。

#### 【0073】

本実施形態では、内部コントローラ104は、NAND型フラッシュメモリ105とRAM106の動作可能な入出力電圧レベルの重複範囲である2.7~3.1Vで2つのメモリ105, 106に対してアクセスする。すなわち、内部コントローラ104とNAND型フラッシュメモリ105との間の入出力503の電圧レベルが2.7~3.1Vであり、内部コントローラ104とRAM106との間の入出力504の電圧レベルも2.7~3.1Vである。NAND型フラッシュメモリ105の電源端子VCCには2.7~3.1Vの電圧VCCNが供給され、RAM106の電源端子VCCにも2.7~3.1Vの電圧VCCFが供給される。

#### 【0074】

マイクロコントローラ101は、低消費電力を実現するために、例えば1.8Vの低電源電圧を基に1.8Vの入出力電圧レベルで内部コントローラ104に対して入出力を行う。すなわち、マイクロコントローラ101は、電源線501を介して内部コントローラ104の入出力用電源端子VCC<sub>q</sub>に1.8Vの入出力用電源を供給し、入出力線502を介して内部コントローラ104の入出力端子I/Oに対して1.8Vの入出力電圧レベルで入出力を行う。

#### 【0075】

内部コントローラ104は、電圧レベル変換回路511を有し、入出力503, 504を制御するために電源端子VDDに2.7~3.1Vの電圧VDDを入力する。電圧レベル変換回路511は、2.7~3.1Vの電源端子VDDを基に、2つのメモリ105, 106に対する入出力503, 504を制御し、1.8Vの入出力用電源端子VCC<sub>q</sub>を基にマイクロコントローラ101に対する入出力502を制御する。すなわち、電圧レベル変換回路511は、マイクロコントローラ101に対する入出力電圧レベル(1.8V)と2つのメモリ105,

106に対する入出力電圧レベル（2.7～3.1V）との間で電圧レベル変換を行う。

#### 【0076】

以上のように、電氣的仕様が異なる2種類のメモリ105、106に関係なく、マイクロコントローラ101の入出力電圧レベルを決めることができるので、マイクロコントローラ101の電源電圧を単一の低電圧（1.8V）にすることができる。

#### 【0077】

上記では、NAND型フラッシュメモリ105とRAM106の動作可能な入出力電圧レベルが重複する場合を例に説明した。次に、2つのメモリ105、106の動作可能な入出力電圧レベルが重複せずに異なる場合を説明する。

#### 【0078】

図6は、2種類のメモリ105、106が異なる入出力電圧レベルの範囲を有する場合を示す。NAND型フラッシュメモリ105とRAM106は、電氣的仕様が異なり、互いに動作可能な入出力電圧レベルの範囲が重複せずに異なる。例えば、NAND型フラッシュメモリ105は、動作可能な入出力電圧レベルが1.65～2.1Vの範囲である。一方、RAM106は、動作可能な入出力電圧レベルが2.7～3.1Vの範囲である。

#### 【0079】

マイクロコントローラ101は、図5の場合と同様に、電源線601を介して内部コントローラ104の入出力用電源端子VCC<sub>q</sub>に1.8Vの入出力用電源を供給し、入出力線602を介して内部コントローラ104の入出力端子I/Oに対して1.8Vの入出力電圧レベルで入出力を行う。

#### 【0080】

内部コントローラ104は、電圧レベル変換回路611を有し、入出力603を制御するための電源端子VDD1に1.65～2.1Vの電圧VDD1を入力し、入出力604を制御するための電源端子VDD2に2.7～3.1Vの電圧VDD2を入力する。電圧レベル変換回路611は、1.65～2.1Vの電源端子VDD1を基にNAND型フラッシュメモリ105に対する入出力603を

制御し、2.7～3.1Vの電源端子VDD2を基にRAM106に対する入出力604を制御し、1.8Vの入出力用電源端子VCCqを基にマイクロコントローラ101に対する入出力602を制御する。すなわち、電圧レベル変換回路611は、入出力602、603及び604の間で電圧レベル変換を行う。

#### 【0081】

内部コントローラ104は、NAND型フラッシュメモリ105とRAM106に対して重複せずに異なる入出力電圧レベルでアクセスすることができる。すなわち、内部コントローラ104とNAND型フラッシュメモリ105との間の入出力603の電圧レベルが1.65～2.1Vであり、内部コントローラ104とRAM106との間の入出力604の電圧レベルは2.7～3.1Vである。NAND型フラッシュメモリ105の電源端子VCCには1.65～2.1Vの電圧VCCNが供給され、RAM106の電源端子VCCには2.7～3.1Vの電圧VCCFが供給される。

#### 【0082】

以上のように、NAND型フラッシュメモリ105とRAM106の動作可能な入出力電圧レベルが重複せずに異なる場合には、内部コントローラ104に設けられた2つの電源端子VDD1及びVDD2を用いることにより、2つのメモリ105、106に対して重複せずに異なる入出力電圧レベルでアクセスすることができる。

#### 【0083】

なお、2つのメモリ105、106の動作可能な入出力電圧レベルが重複する場合にも、2つのメモリ105、106に対して重複せずに異なる入出力電圧レベルでアクセスしてもよい。

#### 【0084】

図12は、図5の電圧レベル変換回路511の構成例を示す回路図である。

まず、電圧レベル変換回路511の構成を説明する。入力端子I/Oは、インバータ1212に接続される。インバータ1212は、pチャネルMOSトランジスタ1201及びnチャネルMOSトランジスタ1202を有する。pチャネルMOSトランジスタ1201は、ゲートが入力端子I/Oに接続され、ソース

が入出力用電源端子VCC<sub>q</sub>に接続される。nチャネルMOSトランジスタ1202は、ゲートが入力端子I/Oに接続され、ソースがグランド端子に接続され、ドレインがpチャネルMOSトランジスタ1201のドレインに接続される。nチャネルMOSトランジスタ1203は、ゲートが入出力用電源端子VCC<sub>q</sub>に接続され、ドレインがトランジスタ1201のドレイン及びトランジスタ1202のドレインの相互接続点に接続され、ソースがインバータ1213に接続される。

## 【0085】

インバータ1213は、pチャネルMOSトランジスタ1204及びnチャネルMOSトランジスタ1205を有する。pチャネルMOSトランジスタ1204は、ゲートがnチャネルMOSトランジスタ1203のソースに接続され、ソースが電源端子VDDに接続され、ドレインが出力端子1214に接続される。nチャネルMOSトランジスタ1205は、ゲートがnチャネルMOSトランジスタ1203のソースに接続され、ソースがグランド端子に接続され、ドレインが出力端子1214に接続される。pチャネルMOSトランジスタ1206は、ゲートが出力端子1214に接続され、ソースが電源端子VDDに接続され、ドレインがnチャネルMOSトランジスタ1203のソースに接続される。出力端子1214は、図5の信号線503を介してNAND型フラッシュメモリ105に接続され、又は信号線504を介してRAM106に接続される。

## 【0086】

次に、電圧レベル変換回路511の動作を説明する。例えば、入出力用電源電圧端子VCC<sub>q</sub>には1.8Vが供給され、電源電圧端子VDDには3Vが供給される。入力端子I/Oには1.8Vレベル（ハイレベルが1.8V、ローレベルが0V）の入力信号が入力され、出力端子1214からは3Vレベル（ハイレベルが3V、ローレベルが0V）の出力信号が出力される。すなわち、電圧レベル変換回路511は、1.8Vレベルの入力信号を3Vレベルの出力信号に変換する。

## 【0087】

入力端子I/Oに入力された例えば1.8Vレベルの入力信号は、インバータ



1 2 1 2 に入力される。インバータ 1 2 1 2 は、入力信号を論理反転し、1. 8 V レベルの信号を出力する。インバータ 1 2 1 2 の出力は、n チャンネル MOS トランジスタ 1 2 0 3 を介してインバータ 1 2 1 3 に入力される。インバータ 1 2 1 3 は、入力信号を論理反転して出力する。例えば、インバータ 1 2 1 3 は入力信号がハイレベル (1. 8 V) であればローレベルを出力する。すると、p チャンネル MOS トランジスタ 1 2 0 6 はハイレベル (3 V) を出力する。そのハイレベル (3 V) の出力がインバータ 1 2 1 3 の入力にフィードバックされる。その結果、インバータ 1 2 1 3 の出力はローレベルに確定する。この時、n チャンネル MOS トランジスタ 1 2 0 3 は、ゲートの電位を 1. 8 V ( $V_{CCp}$ ) としてオフさせるので、インバータ 1 2 1 2 の入出力用電源端子 ( $V_{CCq}$ ) に電流が流れ込まないようにしている。逆に、インバータ 1 2 1 2 の出力信号がローレベルであれば、インバータ 1 2 1 3 はハイレベル (3 V) を出力端子 1 2 1 4 に出力する。このようにして、異なるレベルの電圧変換をすることができる。これは、図 6 の電圧レベル変換回路 6 1 1 の場合も同様である。

#### 【 0 0 8 8 】

図 1 3 は、NAND 型フラッシュメモリ 1 0 5 の試験方法を説明するための図である。図 1 3 の構成は、図 3 の構成に対して内部コントローラ 1 0 4 に試験モード用端子 TMODE を追加した点が異なる。メモリ装置 1 0 3 の試験を行う際、図 3 のように、NAND 型フラッシュメモリ 1 0 5 が外部に端子 (ピン) を持たない場合、NAND 型フラッシュメモリ 1 0 5 の単体の試験は信頼性に欠けることがある。

#### 【 0 0 8 9 】

図 1 3 のメモリ装置 1 0 3 では、試験モード用端子 TMODE に 2 ビットの試験モード信号を入力することができる。メモリ装置 1 0 3 の外部端子である試験モード用端子 TMODE をアサートにすることで、メモリ装置 1 0 3 の内部に閉じられている NAND 型フラッシュメモリ 1 0 5 の端子を内部コントローラ 1 0 4 の外部端子 (すなわちメモリ装置 1 0 3 の外部端子) にアサインすることができる。これにより、その外部端子を用いて、NAND 型フラッシュメモリ 1 0 5 の単体の試験を一般的な NAND 型フラッシュメモリと同等に行うことができる。

## 【 0 0 9 0 】

内部コントローラ 1 0 4 は、複数の内部端子 F D 等と、外部に接続可能な複数の外部端子 A 等と、外部から試験モード信号（アサイン信号）を入力するための試験モード（アサイン）用端子 T M O D E とを有する。内部コントローラ 1 0 4 の複数の内部端子 F D 等は、N A N D 型フラッシュメモリ 1 0 5 の複数の端子 I O 等に接続される。内部コントローラ 1 0 4 は、試験モード用端子 T M O D E に試験モード信号が入力されると、内部端子 F D 等と外部端子 A 等との間のアサインを行う。すなわち、複数の内部端子 F D 等と複数の外部端子 A 等とがそれぞれ対応付けされて接続される。その外部端子が N A N D 型フラッシュメモリ 1 0 5 の端子と同等になり、N A N D 型フラッシュメモリ 1 0 5 の端子に直接接続する場合と同様の試験を行うことができる。

## 【 0 0 9 1 】

次に、図 1 3 の電源レベルについて説明する。電源レベルは、図 5 と同様である。内部コントローラ 1 0 4 は、入出力用電源電圧端子 V C C q に 1 . 6 5 ~ 2 . 1 V の電源電圧を入力し、電源電圧端子 V D D に 2 . 7 ~ 3 . 1 V の電源電圧を入力する。N A N D 型フラッシュメモリ 1 0 5 は、電源電圧端子 V C C に 2 . 7 ~ 3 . 1 V の電源電圧を入力する。R A M 1 0 6 も、電源電圧端子 V C C に 2 . 7 ~ 3 . 1 V の電源電圧を入力する。

## 【 0 0 9 2 】

図 7 は、N A N D 型フラッシュメモリ 1 0 5 と R A M 1 0 6 との間の他のデータ転送方法を示す。N A N D 型フラッシュメモリ 7 0 1 は、複数のページ 7 0 2 、 7 0 3 、 7 0 4 等を有する。各ページ 7 0 2 ~ 7 0 4 は、実データエリア及びスペアデータエリアを有する。実データエリアは実データを記憶するためのエリアであり、スペアデータエリアはスペアデータ（制御情報、管理方法及びエラー検出訂正データを含む）を記憶するためのエリアである。1 ページは、実データエリアが例えば 5 1 2 ワード、スペアデータエリアが例えば 1 6 ワードである。スペアデータエリアは、先の 8 ワードが制御情報及び管理情報を記憶するためのエリアであり、後の 8 ワードがエラー検出訂正データを記憶するためのエリアで

ある。本実施形態では、RAM711にも、実データエリア712及びスペアデータエリア713を設ける。

#### 【0093】

まず、NAND型フラッシュメモリ701からRAM711へデータ転送する場合を説明する。NAND型フラッシュメモリ701には実データ及びスペアデータが記憶されている。マイクロコントローラ721は、NAND型フラッシュメモリ701から実データ731及びスペアデータ732を分解して読み出す。実データ731はRAM711の実データエリア712に実データ712a, 712b, 712cとして書き込まれ、スペアデータ732はRAM711のスペアデータエリア713にスペアデータ713a, 713b, 713cとして書き込まれる。実データ712a, 712b, 712cとスペアデータ713a, 713b, 713cとは、それぞれページ毎に1対1で対応している。

#### 【0094】

なお、スペアデータ713a～713cは、制御情報及び管理情報の8ワードのデータを含み、エラー検出訂正データを必ずしも含まなくてよい。エラー検出訂正データは、エラー検出訂正回路113（図1）が生成するので、RAM711上に記憶させる必要はない。

#### 【0095】

スペアデータには、書き込み回数や消去回数等の情報を含むので、実データ712a～712cを再びNAND型フラッシュメモリ701に書き込むときには、それに応じてスペアデータを変更する必要がある。また、RAM711上の実データ712a～712cを修正する場合には、それに応じてスペアデータ713a～713cも修正する必要がある。マイクロコントローラ721は、RAM711上でスペアデータ713a～713cを変更する。

#### 【0096】

次に、RAM711からNAND型フラッシュメモリ701へデータ転送する場合を説明する。RAM711上の必要に応じて変更された実データ712a～712c及びスペアデータ713a～713cは、それぞれページ毎に1対1に対応させて結合し、NAND型フラッシュメモリ701に書き込まれる。

## 【0097】

図11の従来技術によれば、マイクロコントローラ1121がRAM1111上のデータを修正し、NAND型フラッシュメモリ1101に書き込むときには、一度、NAND型フラッシュメモリ1101からスペアデータを読み出し、そのスペアデータを修正する。そして、マイクロコントローラ1121は、その修正されたスペアデータ及び修正されたRAM1111上の実データをNAND型フラッシュメモリ1101に書き込む。このように、NAND型フラッシュメモリ1101から一度スペアデータを読み出さなければならないため、処理ステップが多くなり、処理速度が遅いという問題がある。

## 【0098】

本実施形態によれば、NAND型フラッシュメモリ701から改めてスペアデータを読み出す必要がないので、処理ステップが減り、処理速度が速くなる利点がある。

## 【0099】

RAM711の実データエリア712及びスペアデータエリア713は、それぞれ連続アドレスエリアとして設けられている。一方、NAND型フラッシュメモリ701の実データエリア及びスペアデータエリアは、それぞれ不連続アドレスエリアとして設けられている。

## 【0100】

次に、図2のスペアデータレジスタ206について説明する。RAM711上の複数のスペアデータ713a～713cは、同じ内容のものが所定の数だけ連続することがある。例えば、スペアデータが実データの名称を示すものとして使用される場合には、複数ページが同じスペアデータになることがある。その場合には、その同じ内容のスペアデータを一のスペアデータとしてスペアデータレジスタ206に記憶させ、連続データ数をデータサイズレジスタ204に記憶させ、ソースアドレス及びディスティネーションアドレスをそれぞれソースアドレスレジスタ202及びディスティネーションアドレスレジスタ203に記憶させる。さらに、スペアセットレジスタ207にスペアデータレジスタ206を使用する旨の情報を記憶させる。

## 【 0 1 0 1 】

これにより、内部コントローラ 1 0 4 は、RAM 7 1 1 の実データエリア 7 1 2 内の実データ 7 1 2 a ~ 7 1 2 c 及びスペアデータレジスタ 2 0 6 内のスペアデータを結合し、それぞれ NAND 型フラッシュメモリ 7 0 1 内の実データエリア及びスペアデータエリアに書き込む。

## 【 0 1 0 2 】

RAM 上の同じ内容のスペアデータ 7 1 3 a ~ 7 1 3 c を変更するには、すべてのスペアデータ 7 1 3 a ~ 7 1 3 c を変更する必要がある。それに対し、同じ内容のスペアデータをスペアデータレジスタ 2 0 6 に記憶させておけば、スペアデータレジスタ 2 0 6 内の一のスペアデータを修正するだけで済むので、処理が簡単になり、処理速度が速くなる。

## 【 0 1 0 3 】

スペアデータレジスタ 2 0 6 は、一又は複数のスペアデータを記憶するためのレジスタである。内部コントローラ 1 0 4 は、NAND 型フラッシュメモリ 7 0 1 に書き込む複数のスペアデータが同じ内容であるときには、スペアデータレジスタ 2 0 6 内の一のスペアデータを用いて NAND 型フラッシュメモリ 7 0 1 内に同じ内容の複数のスペアデータを書き込むことができる。

## 【 0 1 0 4 】

図 2 のスペアセットレジスタ 2 0 7 は、スペアデータレジスタ 2 0 6 内のスペアデータ又は RAM 7 1 1 内のスペアデータ 7 1 3 a ~ 7 1 3 c のいずれかを選択して NAND 型フラッシュメモリ 7 0 1 に書き込むためのレジスタである。

## 【 0 1 0 5 】

図 8 は、上記の RAM 7 1 1 から NAND 型フラッシュメモリ 7 0 1 へのセーブ命令の処理を示すフローチャートである。

## 【 0 1 0 6 】

ステップ S 8 0 1 では、レジスタにパラメータをセットする。例えば、NAND 型フラッシュメモリ及び RAM のページアドレスをセットし、ページ数をセットする。ステップ S 8 0 2 では、コマンドコードをコマンドレジスタにセットする。ステップ S 8 0 3 では、割り込み信号 INT をアサート、ビジー信号 BSY

をセット、エラー信号ERR及びエンド信号ENDをクリアする。

【0107】

ステップS804では、NAND型フラッシュメモリをアクティブ状態にし、NAND型フラッシュメモリにアドレス情報を送る。ステップS805では、RAMからNAND型フラッシュメモリへのデータ転送を指示する。

【0108】

ステップS806では、スペアセットレジスタが0か否かをチェックする。0であるときにはステップS807へ進み、0でないときにはステップS808へ進む。

【0109】

ステップS807では、RAMの実データエリア上の512ワードの実データとRAMのスペアデータエリア上の8ワードのスペアデータをセットし、ステップS809へ進む。

【0110】

ステップS808では、RAMの実データエリア上の512ワードの実データとスペアデータレジスタ上の8ワードのスペアデータをセットし、ステップS809へ進む。

【0111】

ステップS809では、NAND型フラッシュメモリがレディ状態になったらNAND型フラッシュメモリのステータスを読み出す。ステップS810では、ステータスレジスタのエラーフラグERR及びフェールフラグFAILをセットする。ステップS811では、NAND型フラッシュメモリを非アクティブ状態にする。ステップS812では、エラーフラグERRが0か否かをチェックする。0であればステップS813へ進み、0でなければステップS815へ進む。

【0112】

ステップS813では、ページ数レジスタをデクリメントし、RAM及びNAND型フラッシュメモリのページアドレスをインクリメントする。ステップS814では、ページ数が0であるか否かをチェックする。0であればステップS815へ進み、0でなければステップS804へ戻り、次のページのセーブ処理を

繰り返す。

【 0 1 1 3 】

ステップ S 8 1 5 では、ビジー信号 B S Y をクリアし、エンド信号 E N D をセットし、割り込み信号 I N T をアサートにする。マイクロコントローラがステータスレジスタを読むと、割り込み信号 I N T はクリアされる。以上で、セーブ処理が終了する。

【 0 1 1 4 】

以上のように、スペアセットレジスタ 2 0 7 (図 2) が 0 であるときには、ステップ S 8 0 7 で、RAM 上の 5 1 2 ワードの実データと RAM 上の 8 ワードのスペアデータを NAND 型フラッシュメモリに書き込む。一方、スペアセットレジスタ 2 0 7 が 1 であるときには、ステップ S 8 0 8 で、RAM 上の 5 1 2 ワードの実データとスペアデータレジスタ上の 8 ワードのスペアデータを NAND 型フラッシュメモリに書き込む。スペアセットレジスタ 2 0 7 へのセットにより、いずれかのセーブ方法を選択することができる。

【 0 1 1 5 】

本実施形態では、NAND 型フラッシュメモリ 1 0 5 と RAM 1 0 6 との間でデータ転送を行っている間にも、NOR 型フラッシュメモリ 1 0 2 に対するアクセスが可能になる。

【 0 1 1 6 】

また、NAND 型フラッシュメモリ 1 0 5 と RAM 1 0 6 との間で高速にデータ転送を行うことができる。

【 0 1 1 7 】

また、NAND 型フラッシュメモリ 1 0 5 と RAM 1 0 6 との間のデータ転送を制御する内部コントローラ 1 0 4 内のデータラッチ 1 1 5 のバッファ容量を小さくすることができる。

【 0 1 1 8 】

また、NAND 型フラッシュメモリ 1 0 5 と RAM 1 0 6 の電氣的仕様にかかわらずマイクロコントローラ 1 0 1 の電氣的仕様を決めることができる。

【 0 1 1 9 】

また、図 7 の RAM 7 1 1 内にスペアデータエリア 7 1 3 を設けることにより、NAND 型フラッシュメモリ 7 0 1 内にスペアデータを高速に書き込むことができる。

#### 【 0 1 2 0 】

本実施形態によるメモリ装置は、画像情報や音楽情報等のストリームデータを実データとして扱う携帯電話等に適用することができ、その他、ストリームデータを NAND 型フラッシュメモリに記憶させる用途に適している。

#### 【 0 1 2 1 】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

#### 【 0 1 2 2 】

本発明の実施形態は、以下のように種々の形態で適用することができる。

(付記 1) データを記憶可能な不揮発性メモリと、  
ランダムアクセスが可能な揮発性メモリと、  
前記不揮発性メモリ及び前記揮発性メモリの間でデータ転送を行うことができ、該データ転送が行われていないときには外部バスからの指示に応じて外部から直接前記揮発性メモリへアクセスしているような擬似的アクセスを可能にするコントローラと  
を有するメモリ装置。

(付記 2) 前記コントローラは、転送の対象となるデータのソースアドレス、デスティネーションアドレス及びサイズを記憶可能なレジスタを有する付記 1 記載のメモリ装置。

(付記 3) 前記コントローラは、外部からの指示に応じて、前記揮発性メモリ及び前記不揮発性メモリの間のデータ転送を前記外部バスへの影響なしに行う付記 1 記載のメモリ装置。

(付記 4) 前記コントローラは、前記データ転送の終了を割り込みで外部バスへ通知する付記 3 記載のメモリ装置。



(付記 5) 前記コントローラは、前記不揮発性メモリ及び前記揮発性メモリの間のデータ転送中に、サスペンド命令により該データ転送を一時停止し、その後外部からの指示に応じて前記揮発性メモリへアクセスを行い、その後のリジューム命令により前記データ転送を再開する付記 1 記載のメモリ装置。

(付記 6) 前記不揮発性メモリ、前記揮発性メモリ及び前記コントローラが 1 つのパッケージに内蔵されている付記 1 記載のメモリ装置。

(付記 7) データを記憶可能な不揮発性メモリと、ランダムアクセスが可能な揮発性メモリと、前記不揮発性メモリ及び前記揮発性メモリの間でデータ転送を行う際、前記不揮発性メモリ又は前記揮発性メモリから複数のデータを読み出し終わる前に、該複数のデータを前記揮発性メモリ又は前記不揮発性メモリへ書き込み始めるコントローラとを有するメモリ装置。

(付記 8) 前記コントローラは、前記不揮発性メモリから前記揮発性メモリへデータ転送を行う際、前記不揮発性メモリから複数のデータを読み出し終わる前に、該複数のデータを前記揮発性メモリへ書き込み始める付記 7 記載のメモリ装置。

(付記 9) 前記コントローラは、前記揮発性メモリから前記不揮発性メモリへデータ転送を行う際、前記揮発性メモリから複数のデータを読み出し終わる前に、該複数のデータを前記不揮発性メモリへ書き込み始める付記 7 記載のメモリ装置。

(付記 10) 前記コントローラは、前記データ転送を行う際にエラー検出及び／又は訂正処理を行う付記 7 記載のメモリ装置。

(付記 11) 前記コントローラは、前記不揮発性メモリから前記揮発性メモリへデータ転送を行う際、前記不揮発性メモリから実データ及びエラー検出訂正データを読み出し、該エラー検出訂正データを基に該実データのエラー検出及び／又は訂正処理を行い、実データを前記揮発性メモリに書き込む付記 10 記載のメモリ装置。

(付記 12) 前記コントローラは、前記揮発性メモリから前記不揮発性メ

メモリヘデータ転送を行う際、前記揮発性メモリから実データを読み出し、該実データを基にエラー検出訂正データを生成し、該実データ及び該エラー検出訂正データを前記不揮発性メモリに書き込む付記 1 0 記載のメモリ装置。

(付記 1 3) 前記コントローラは、エラー検出訂正情報を記憶するためのエラー検出訂正レジスタを有する付記 1 0 記載のメモリ装置。

(付記 1 4) 前記エラー検出訂正レジスタは、エラーが検出されたデータのアドレスを記憶する付記 1 3 記載のメモリ装置。

(付記 1 5) 前記コントローラは、データをバッファリングするためのバッファを有し、該バッファを介して前記データ転送を行う付記 7 記載のメモリ装置。

(付記 1 6) 前記コントローラは、転送サイクルに転送データ数を乗じた時間に 1 転送サイクルを加算した時間でデータ転送を行う付記 1 5 記載のメモリ装置。

(付記 1 7) 前記コントローラは、前記不揮発性メモリから前記揮発性メモリヘデータ転送を行う際、前記不揮発性メモリから実データ及びエラー検出訂正データを読み出し、該エラー検出訂正データを基に該実データのエラー検出を行い、該実データを前記揮発性メモリに書き込み、前記揮発性メモリ上で該実データのエラー訂正処理を行う付記 1 6 記載のメモリ装置。

(付記 1 8) 電氣的仕様が異なる複数のメモリと、  
前記複数のメモリに接続されるメモリバスと外部に接続される外部バスとを含み、前記外部バスの入出力電圧レベルが単一であり、かつ前記メモリバスと前記外部バスとの入出力電圧レベルの範囲が異なるコントローラとを有するメモリ装置。

(付記 1 9) 前記複数のメモリは、互いに動作可能な入出力電圧レベルの範囲が異なる付記 1 8 記載のメモリ装置。

(付記 2 0) 前記コントローラは、前記複数のメモリの動作可能な入出力電圧レベルの重複範囲で前記複数のメモリに対してアクセスする付記 1 9 記載のメモリ装置。

(付記 2 1) 前記コントローラは、前記重複範囲の入出力電圧レベルの電

源電圧を入力する電源端子を含み、該電源端子の電圧を基に前記複数のメモリの入出力電圧レベルを制御する付記 2 0 記載のメモリ装置。

(付記 2 2) 前記コントローラは、前記複数のメモリに対して互いに重複せずに異なる入出力電圧レベルでアクセスする付記 1 9 記載のメモリ装置。

(付記 2 3) 前記コントローラは、前記重複せずに異なる入出力電圧レベルの電源電圧を入力する 2 つの電源端子を含み、該 2 つの電源端子の電圧を基に前記複数のメモリの入出力電圧レベルを制御する付記 2 2 記載のメモリ装置。

(付記 2 4) 前記複数のメモリは、互いに動作可能な入出力電圧レベルの範囲が重複しない付記 2 2 記載のメモリ装置。

(付記 2 5) 前記複数のメモリは、不揮発性メモリ及び揮発性メモリである付記 1 8 記載のメモリ装置。

(付記 2 6) 複数の実データを記憶するための実データエリアと複数のスペアデータを記憶するためのスペアデータエリアを含む不揮発性メモリと、

複数の実データを記憶するための実データエリアと複数のスペアデータを記憶するためのスペアデータエリアを含む揮発性メモリと、

前記不揮発性メモリ及び前記揮発性メモリの間のデータ転送を行うコントローラと

を有するメモリ装置。

(付記 2 7) 前記スペアデータは、制御情報又は管理情報である付記 2 6 記載のメモリ装置。

(付記 2 8) 前記複数の実データと前記複数のスペアデータは、それぞれ 1 対 1 で対応している付記 2 6 記載のメモリ装置。

(付記 2 9) 前記揮発性メモリ内の実データエリア及びスペアデータエリアは、それぞれ連続アドレスエリアとして設けられる付記 2 6 記載のメモリ装置。

(付記 3 0) 前記不揮発性メモリ内の実データエリア及びスペアデータエリアは、それぞれ不連続アドレスエリアとして設けられる付記 2 9 記載のメモリ装置。

(付記 3 1) 前記コントローラは、前記不揮発性メモリから前記揮発性メ

メモリにデータ転送を行う際、前記不揮発性メモリ内の実データエリア及びスペアデータエリアから対応して読み出した実データ及びスペアデータを分解し、それぞれ前記揮発性メモリ内の実データエリア及びスペアデータエリアに書き込む付記 2 8 記載のメモリ装置。

(付記 3 2) 前記コントローラは、前記揮発性メモリから前記不揮発性メモリへデータ転送を行う際、前記揮発性メモリ内の実データエリア及びスペアデータエリアから対応して読み出した実データ及びスペアデータを結合し、それぞれ前記不揮発性メモリ内の実データエリア及びスペアデータエリアに書き込む第 1 の書き込みコントローラを含む付記 2 8 記載のメモリ装置。

(付記 3 3) 前記コントローラは、一又は複数のスペアデータを記憶するためのスペアデータレジスタを含み、前記揮発性メモリの実データエリア内の実データ及び前記スペアデータレジスタ内のスペアデータを結合し、それぞれ前記不揮発性メモリ内の実データエリア及びスペアデータエリアに書き込む付記 2 8 記載のメモリ装置。

(付記 3 4) 前記スペアデータレジスタは、一のスペアデータを記憶するためのレジスタである付記 3 3 記載のメモリ装置。

(付記 3 5) 前記コントローラは、前記不揮発性メモリに書き込む複数のスペアデータが同じ内容であるときには、前記スペアデータレジスタ内の一のスペアデータを用いて前記不揮発性メモリ内の同じ内容の複数のスペアデータを書き込む付記 3 3 記載のメモリ装置。

(付記 3 6) 前記コントローラは、一又は複数のスペアデータを記憶するためのスペアデータレジスタを含み、前記揮発性メモリの実データエリア内の実データ及び前記スペアデータレジスタ内のスペアデータを結合し、それぞれ前記不揮発性メモリ内の実データエリア及びスペアデータエリアに書き込む第 2 の書き込みコントローラを含む付記 3 2 記載のメモリ装置。

(付記 3 7) 前記コントローラは、前記第 1 及び第 2 の書き込みコントローラのいずれにより書き込みを行うかを選択することができる付記 3 6 記載のメモリ装置。

(付記 3 8) 前記不揮発性メモリは複数の端子を有し、

前記コントローラは、前記不揮発性メモリの複数の端子に接続される複数の内部端子と、外部に接続可能な複数の外部端子と、外部からアサイン信号を入力するためのアサイン用端子とを有し、該アサイン用端子にアサイン信号が入力されると、前記内部端子と前記外部端子との間のアサインを行う付記 1 記載のメモリ装置。

#### 【 0 1 2 3 】

#### 【発明の効果】

以上説明したように本発明によれば、コントローラは、外部コントローラからの指示に応じて不揮発性メモリと揮発性メモリとの間のデータ転送を行うことができる。このデータ転送の間、外部バスが占有されることない。したがって、外部コントローラは、上記のデータ転送の間にも、外部バスを介して、他のメモリ（例えばNOR型フラッシュメモリ）にアクセスすることができる。また、外部コントローラは、コントローラを介して、直接揮発性メモリへアクセスしているような擬似的アクセスが可能になる。

#### 【図面の簡単な説明】

##### 【図 1】

本発明の実施形態によるメモリ装置の構成を示すブロック図である。

##### 【図 2】

制御レジスタの内容を示す図である。

##### 【図 3】

内部コントローラ、NAND型フラッシュメモリ及びRAMの間の接続を示す図である。

##### 【図 4】

NAND型フラッシュメモリからRAMへの転送タイミングを示すタイミングチャートである。

##### 【図 5】

入出力電圧レベルを示す図である。

##### 【図 6】

他の入出力電圧レベルを示す図である。

【図 7】

本実施形態による NAND 型フラッシュメモリと RAM との間のデータ転送方法を示す図である。

【図 8】

本実施形態による NAND 型フラッシュメモリから RAM へのセーブ処理を示すフローチャートである。

【図 9】

従来技術によるメモリ装置の構成を示すフローチャートである。

【図 10】

従来技術によるエラー検出及び訂正方法を示す図である。

【図 11】

従来技術による NAND 型フラッシュメモリと RAM との間のデータ転送方法を示す図である。

【図 12】

電圧レベル変換回路の構成例を示す回路図である。

【図 13】

NAND 型フラッシュメモリの試験方法を説明するための図である。

【符号の説明】

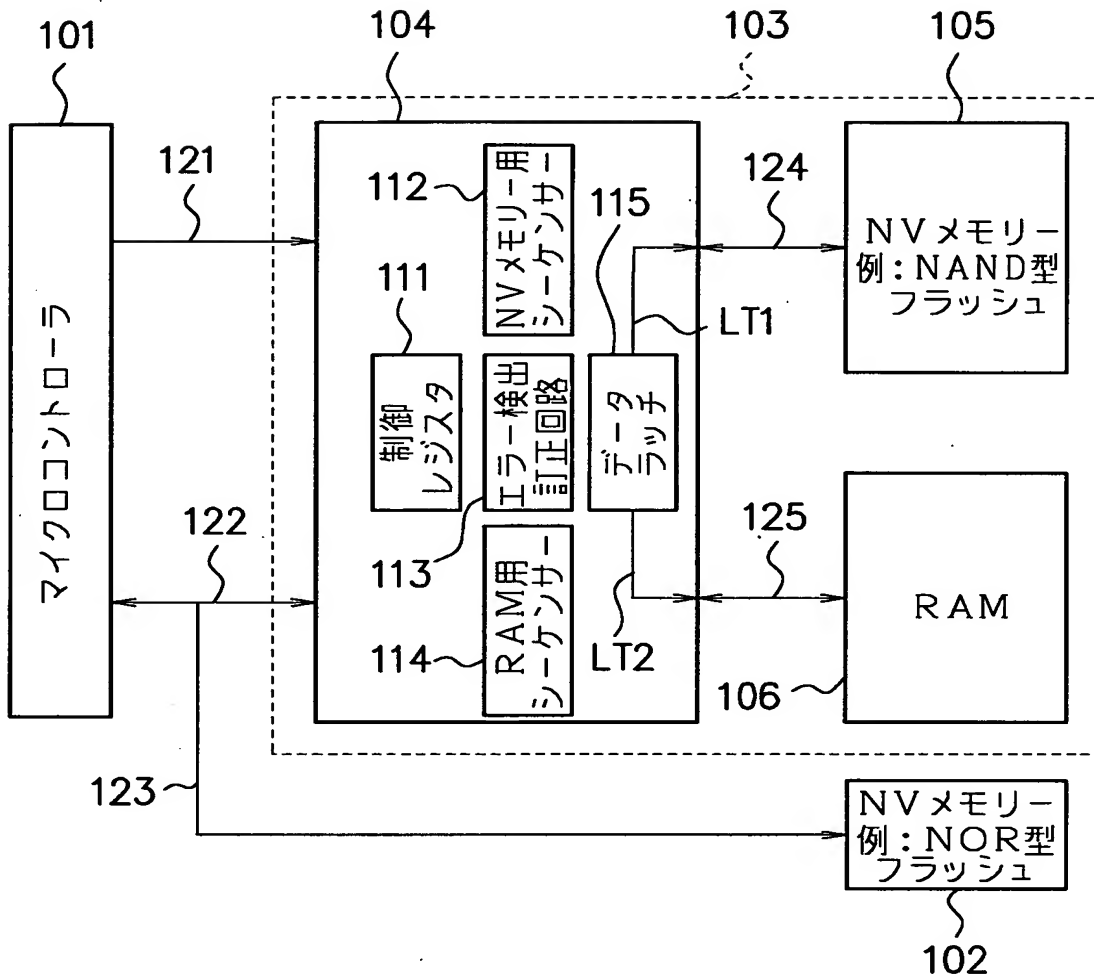
- 101, 901 マイクロコントローラ
- 102, 902 NOR 型フラッシュメモリ
- 103 パッケージ
- 104 内部コントローラ
- 105, 905 NAND 型フラッシュメモリ
- 106, 906 RAM
- 111 制御レジスタ
- 112 NAND 型フラッシュメモリ用シーケンサ
- 113, 903 エラー検出訂正回路
- 114 RAM 用シーケンサ
- 115 データラッチ

201 コマンドレジスタ  
202 ソースアドレスレジスタ  
203 ディスティネーションアドレスレジスタ  
204 データサイズレジスタ  
205 エラー検出訂正アドレスレジスタ  
206 スペアデータレジスタ  
207 スペアセットレジスタ  
207 ステータスレジスタ  
511, 611 電圧レベル変換回路  
701, 1101 NAND型フラッシュメモリ  
711, 1111 RAM  
712 実データエリア  
713 スペアデータエリア  
721, 1121 マイクロコントローラ  
1001 バッファ

【書類名】

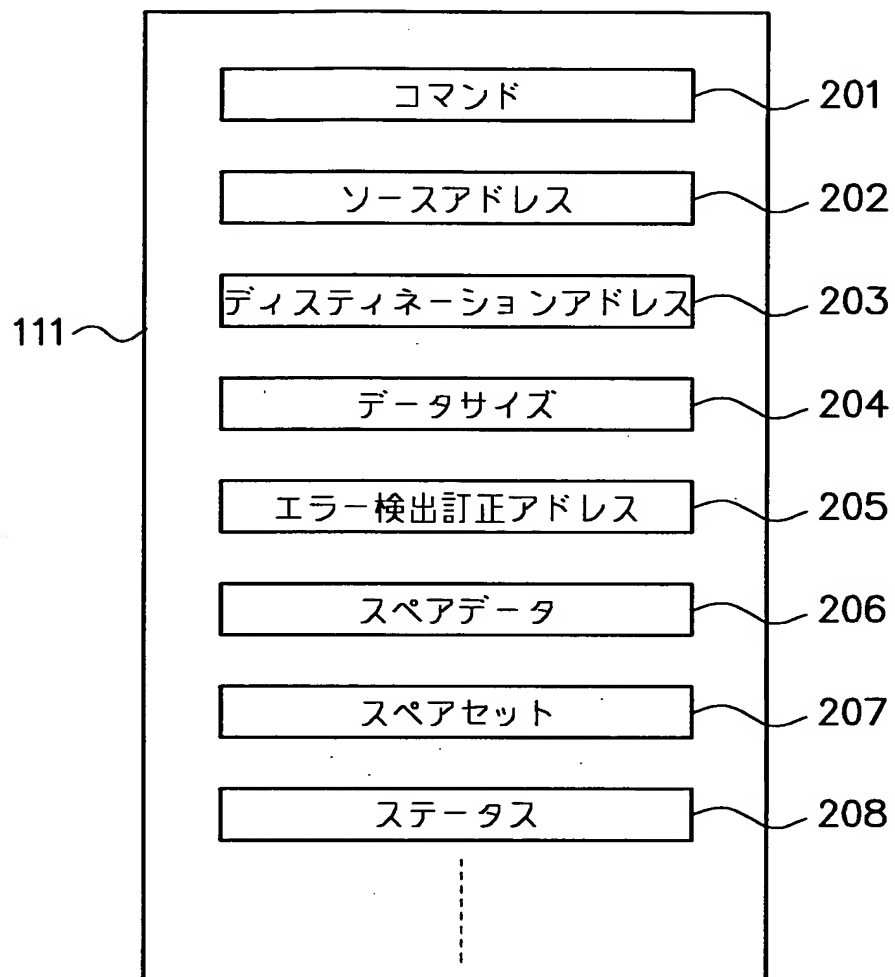
図面

【図 1】

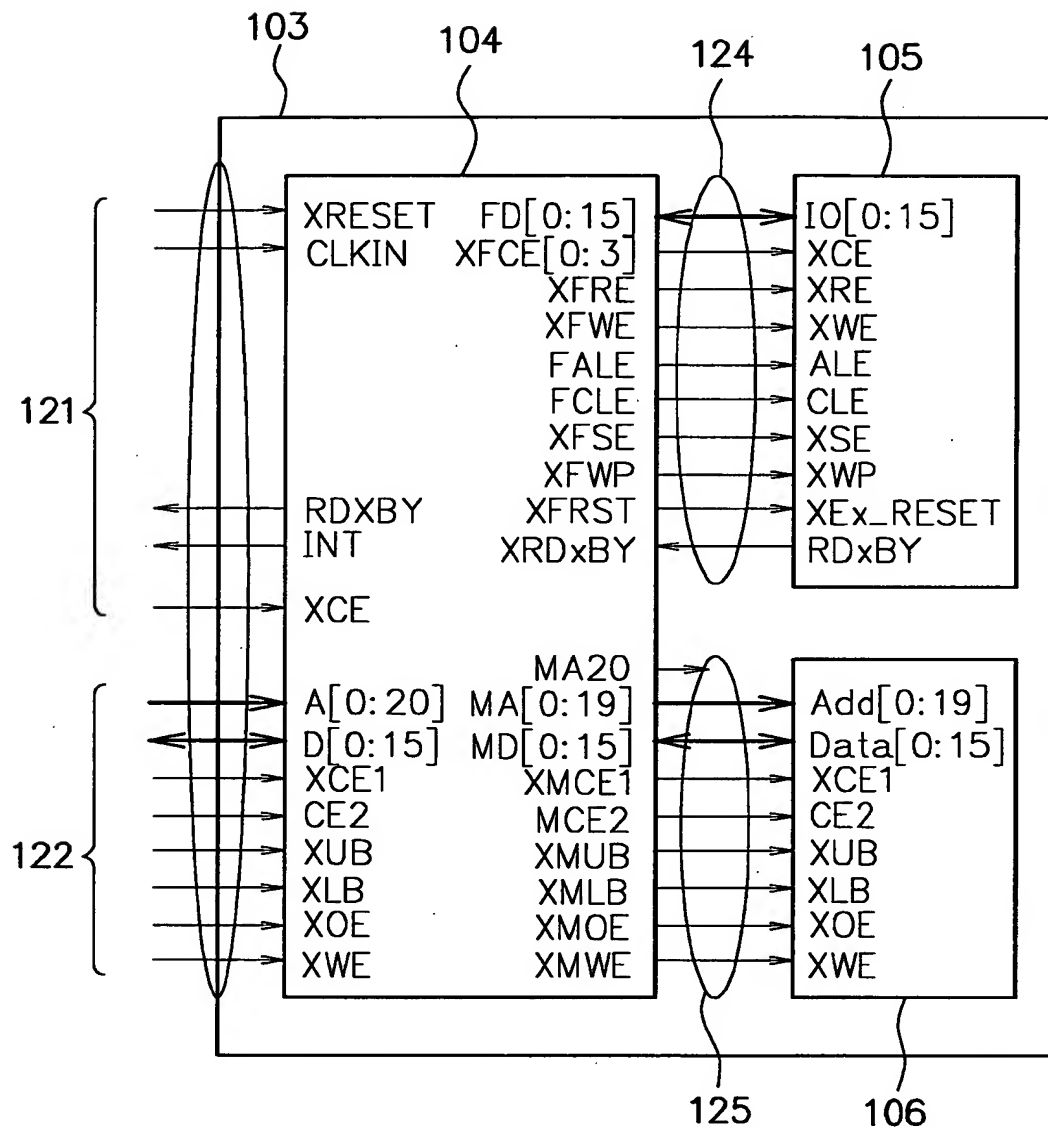




【図2】

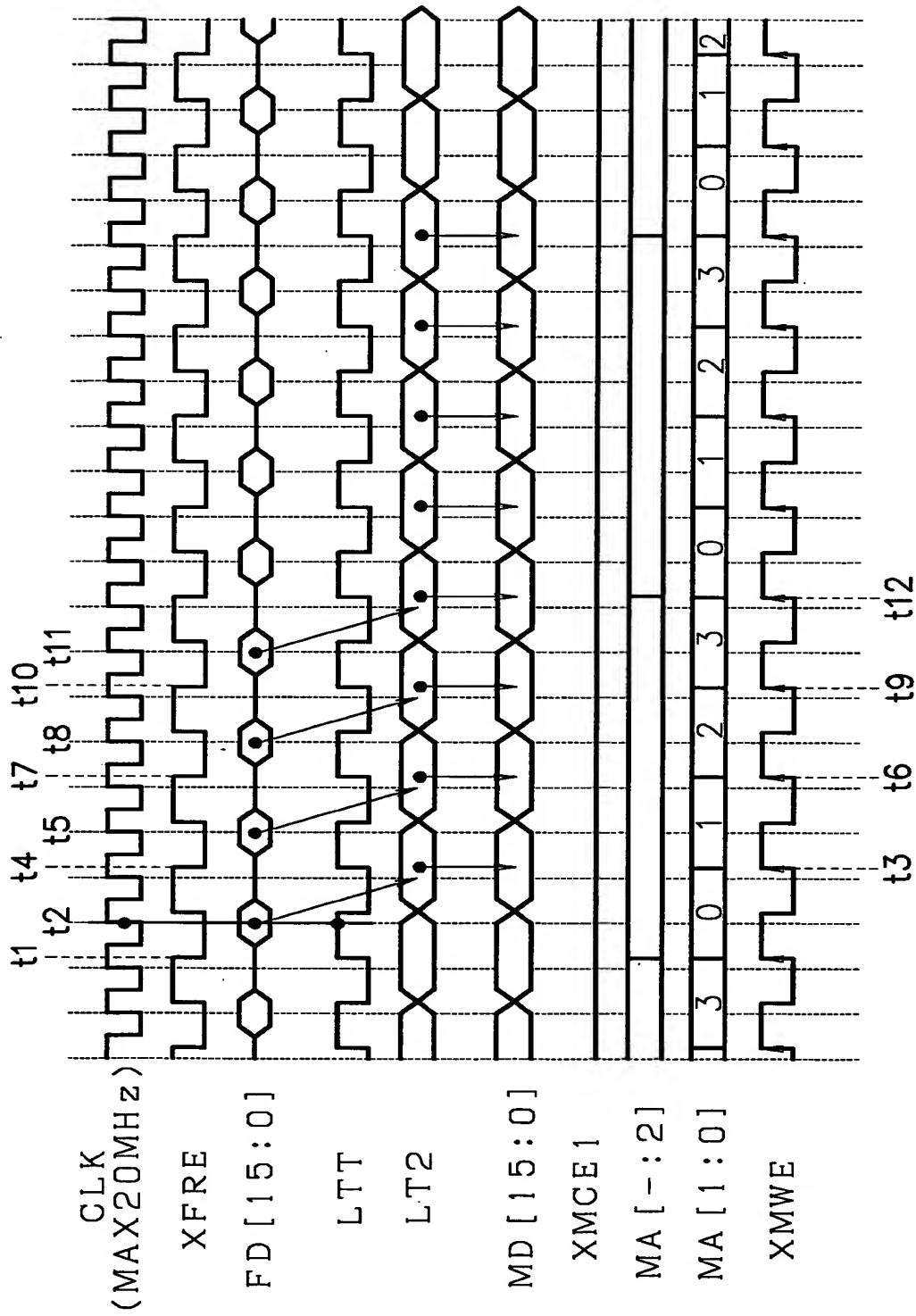


【図3】



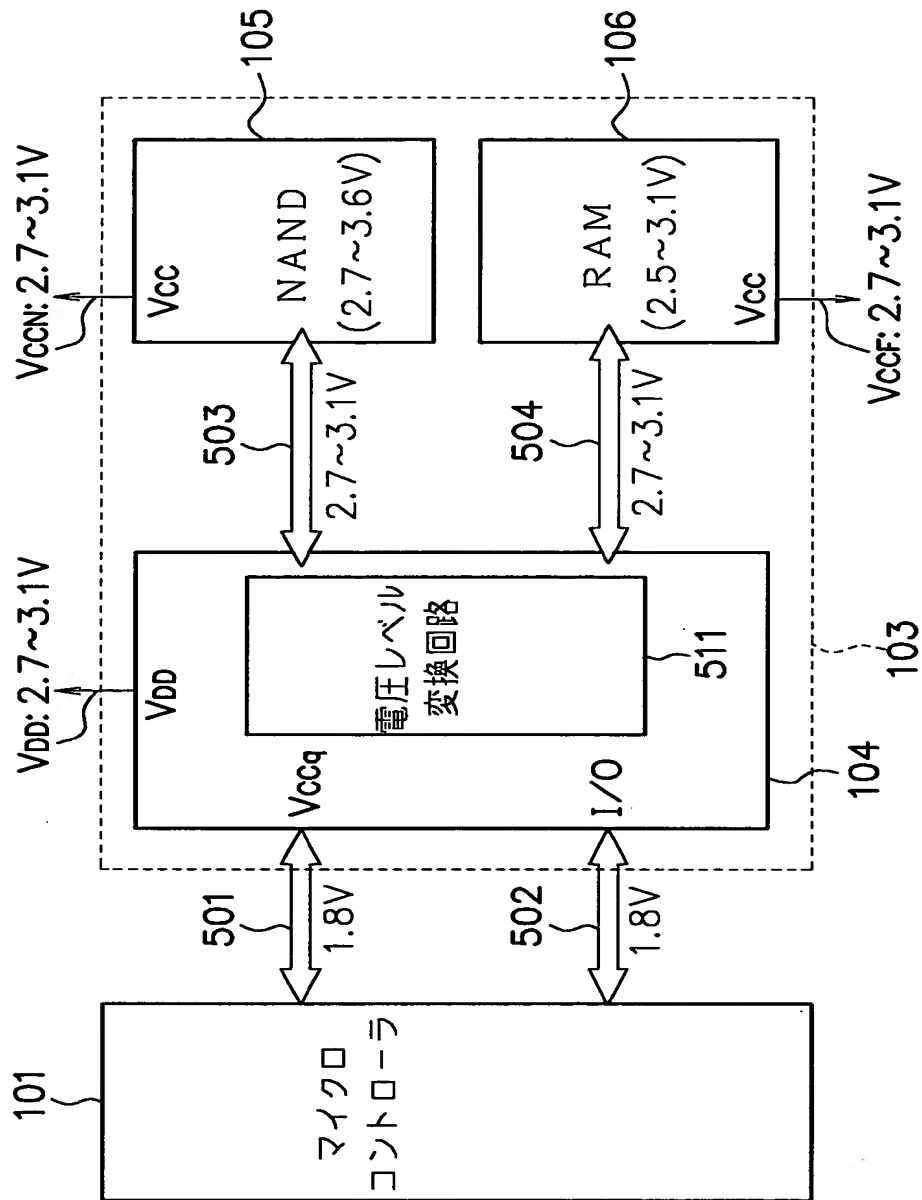
【図4】

不揮発性メモリからRAMへの転送タイミング



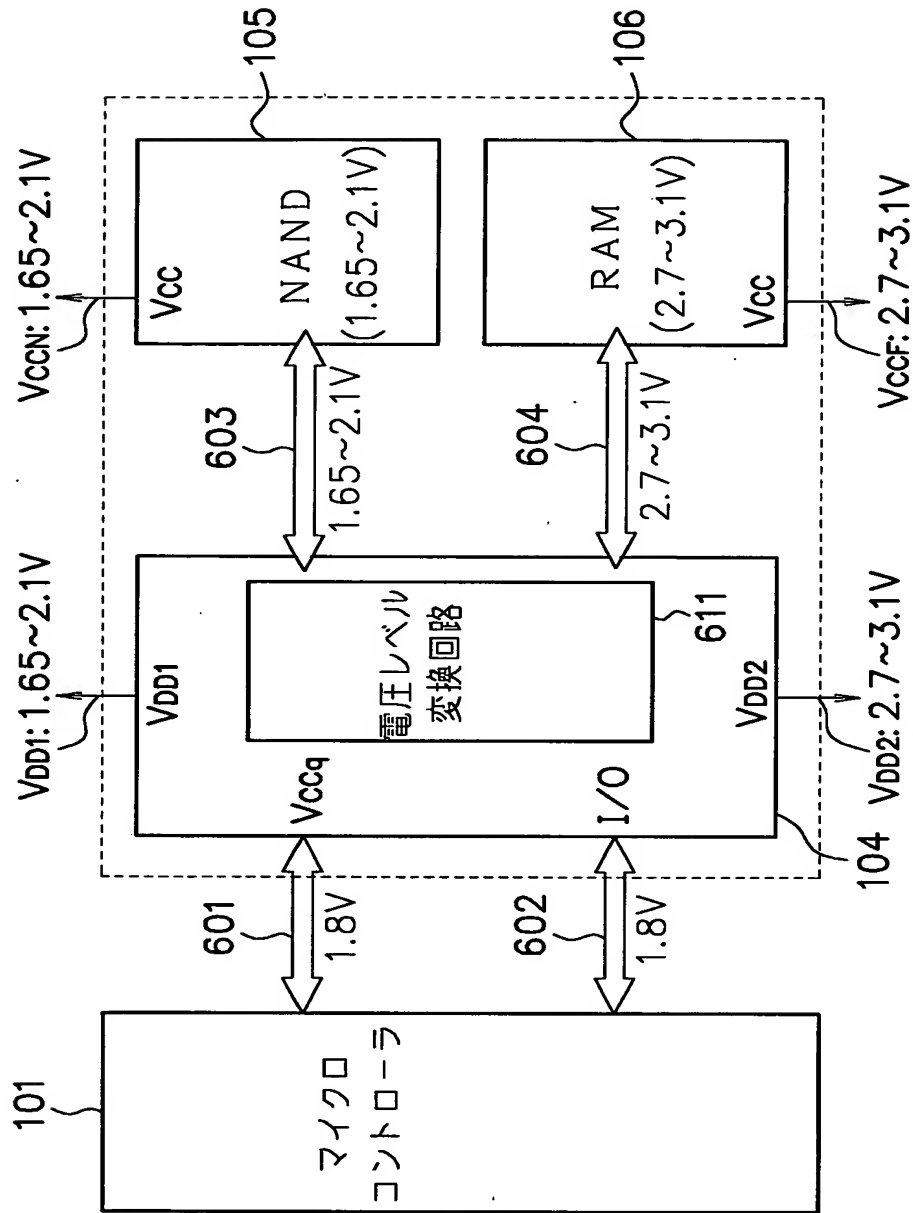
【図 5】

2 電源対応の場合



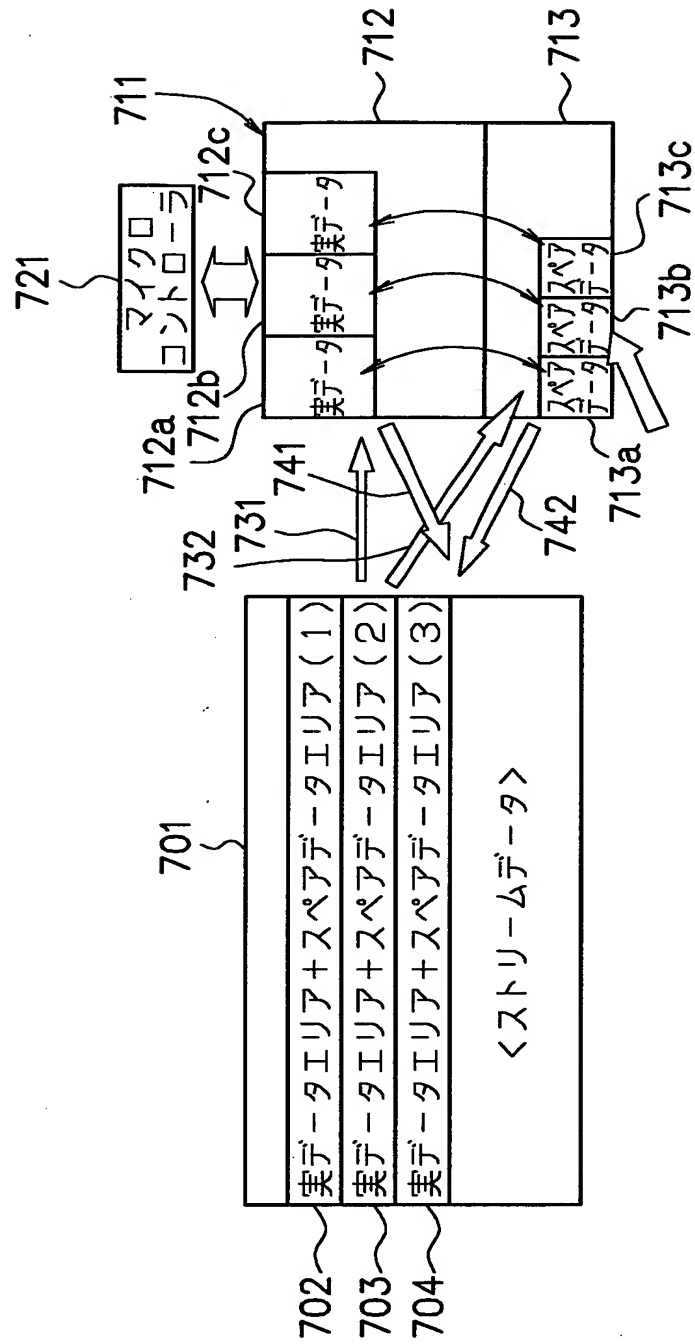
【図 6】

3 電源対応の場合

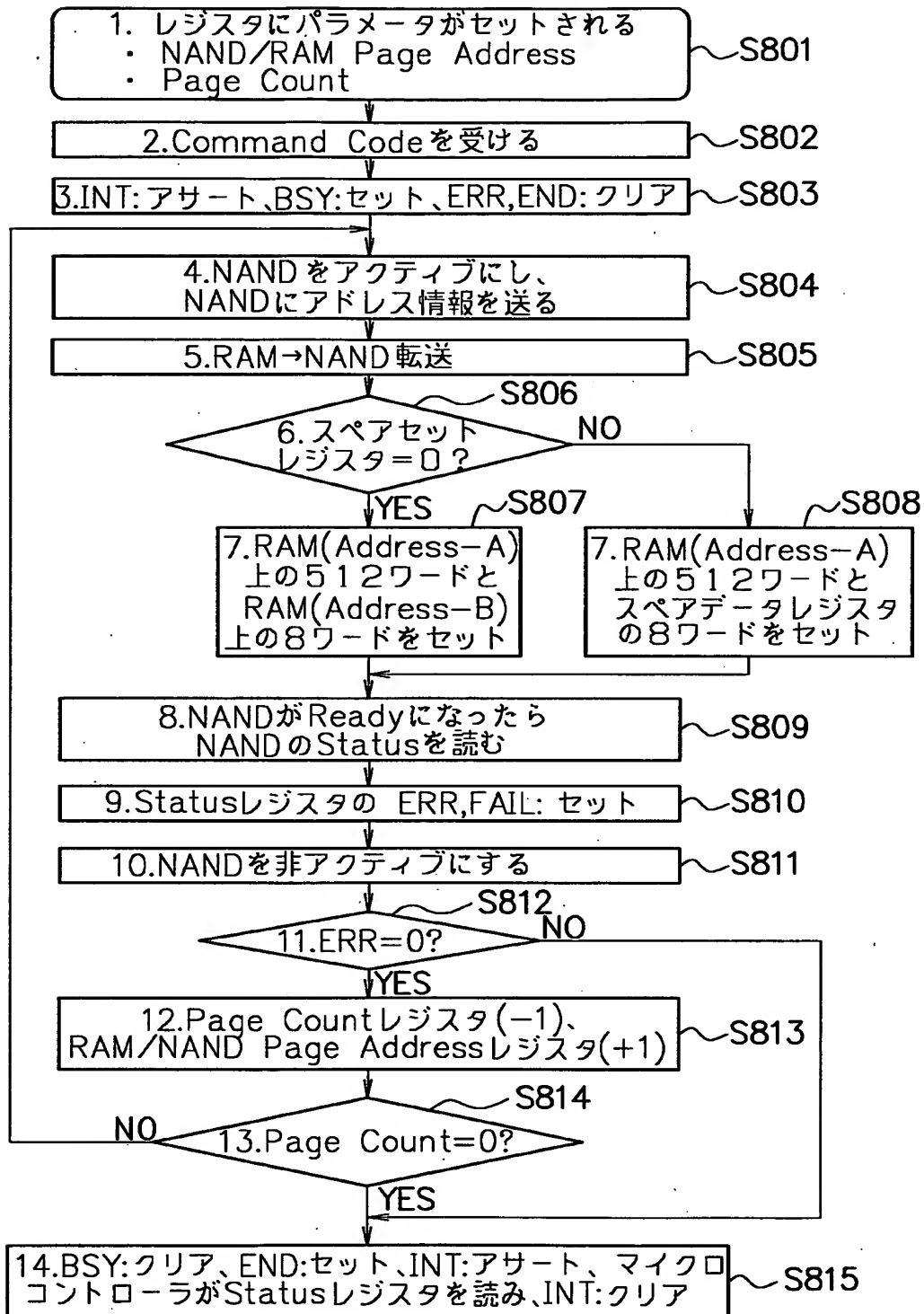


【図 7】

メモリ装置を利用した転送

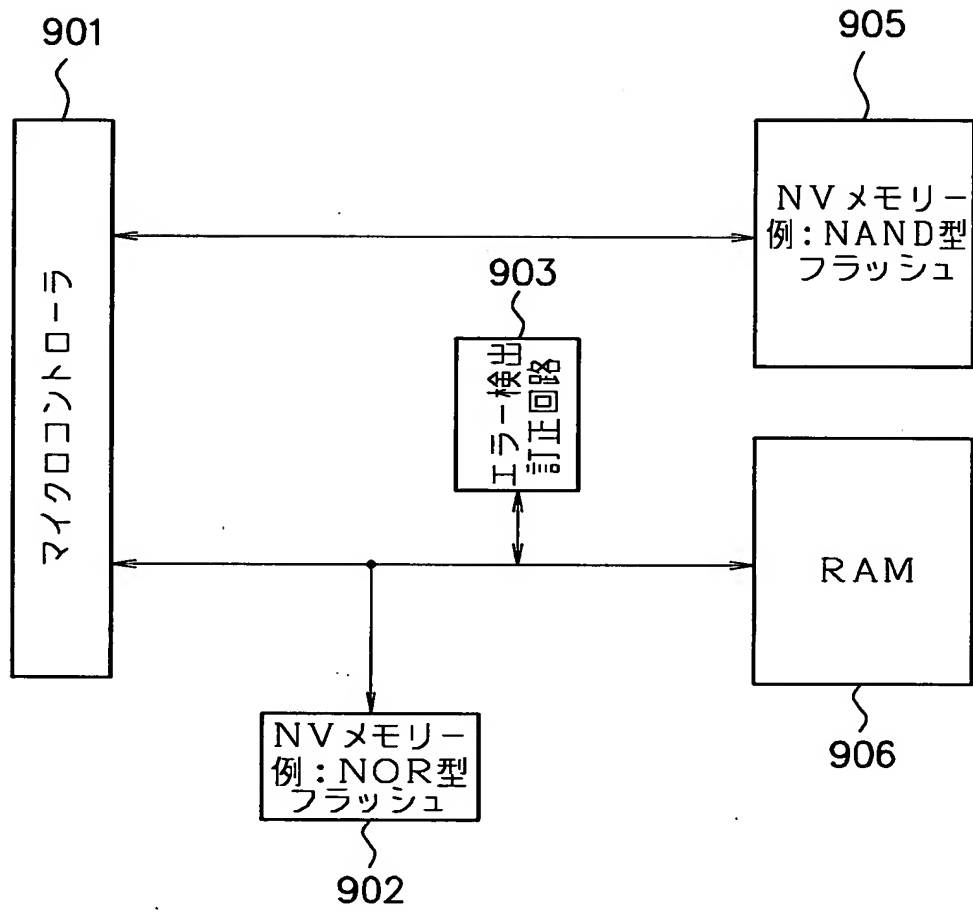


【図 8】



【図 9】

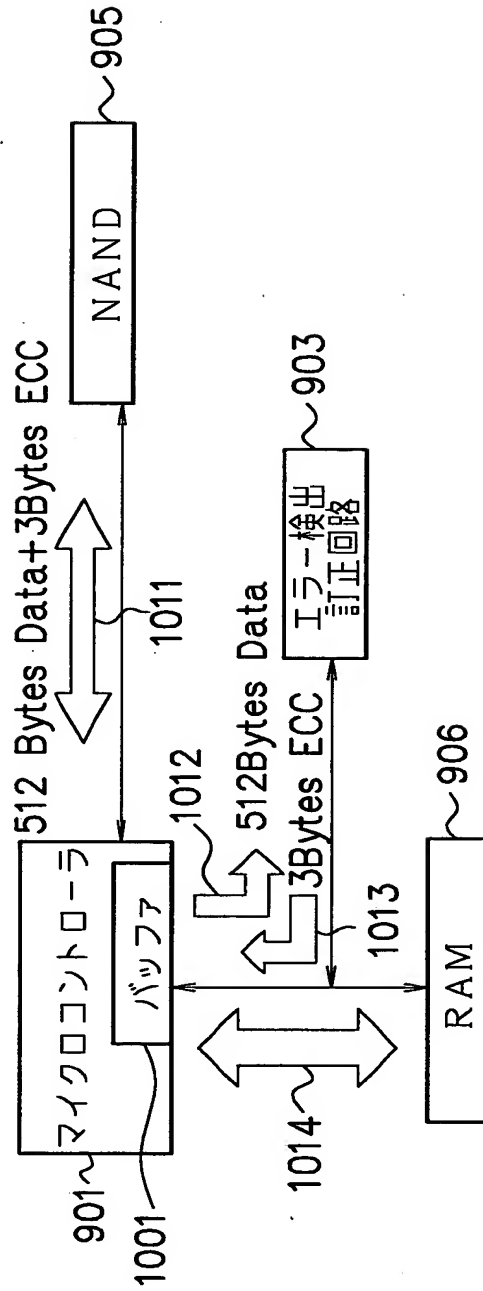
従来技術





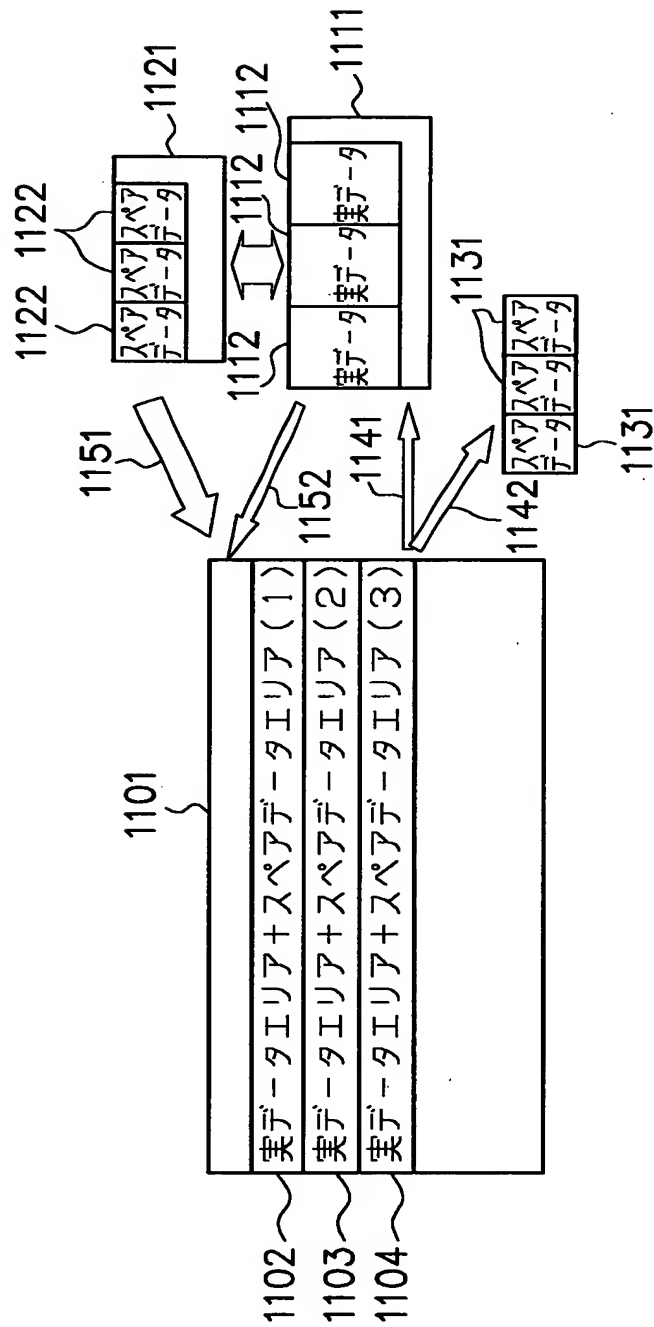
【図 1 0】

従来のエラー検出及び訂正方法

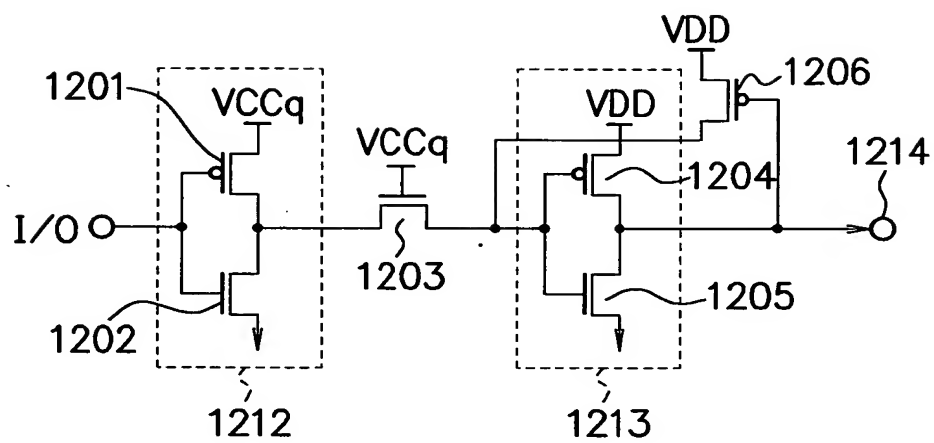


【図 11】

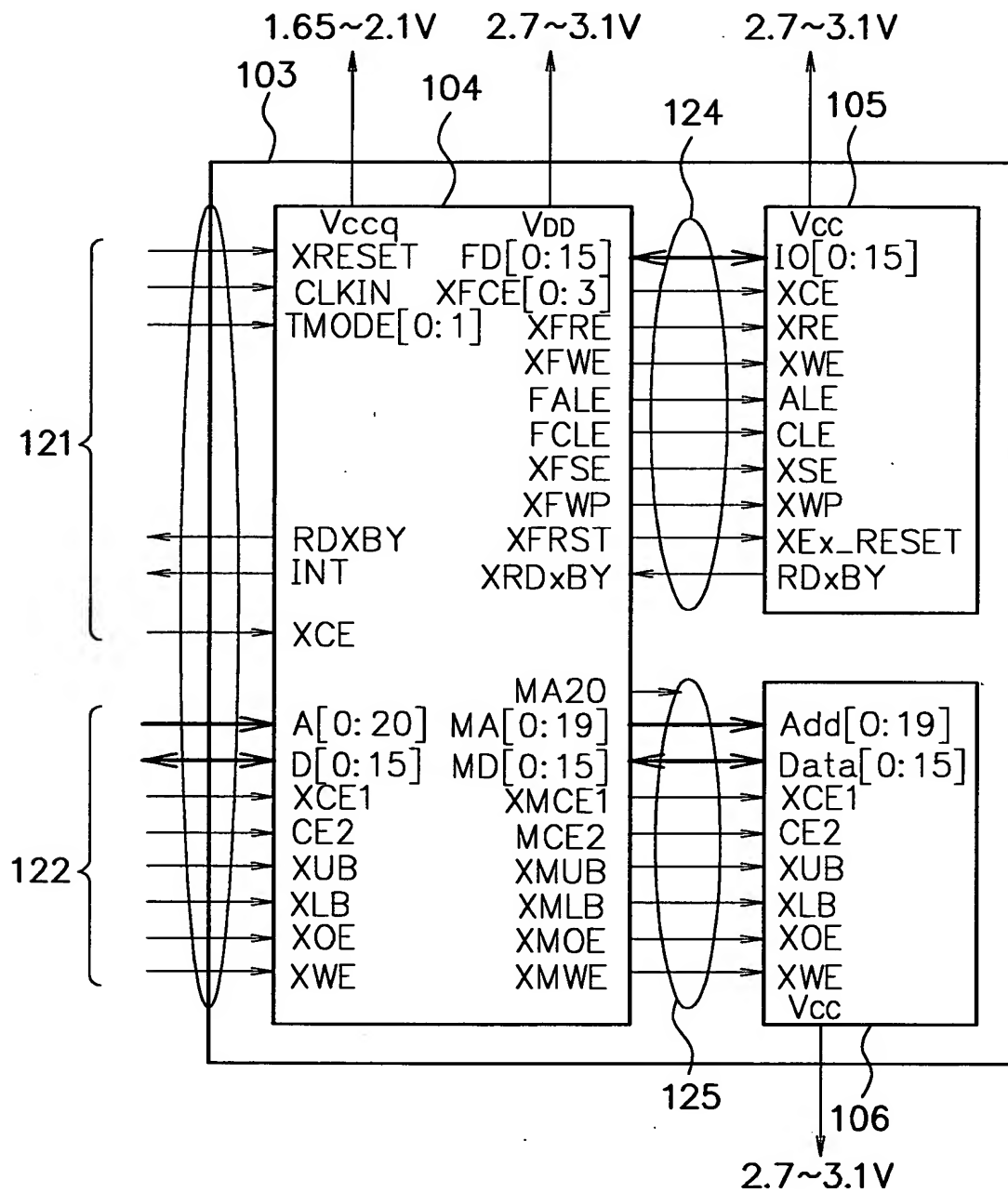
従来の転送方法



【図 1 2】



【図13】



【書類名】            要約書

【要約】

【課題】    不揮発性メモリと揮発性メモリとの間のデータ転送を行う際に外部バスの占有を防止することを課題とする。

【解決手段】    本発明のメモリ装置は、データを記憶可能な不揮発性メモリ（１０５）と、ランダムアクセスが可能な揮発性メモリ（１０６）と、不揮発性メモリ及び揮発性メモリの間でデータ転送を行うことができ、該データ転送が行われていないときには外部バスからの指示に応じて外部から直接揮発性メモリへアクセスしているような擬似的アクセスを可能にするコントローラ（１０４）とを有する。

【選択図】            図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社